



12
137
0207

Attorney Docket No. 1614.1109-CIP

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Shogo FUJIMORI, et al.

Application No.: 09/881,732

Group Art Unit: 2184

Filed: June 18, 2001

Examiner: Unassigned

For: NOISE COUNTERMEASURE DETERMINATION METHOD AND APPARATUS AND
STORAGE MEDIUM

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Assistant Commissioner for Patents
Washington, D.C. 20231

RECEIVED
FEB 04 2002
Technology Center 2100

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application:

Japanese Patent Application No. 2000-393067

Filed: December 25, 2000

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: January 31, 2002

By: 

H. J. Staas
Registration No. 22,010

700 11th Street, N.W., Ste. 500
Washington, D.C. 20001
(202) 434-1500



日 本 国 特 許 庁

JAPAN PATENT OFFICE

CERTIFIED COPY OF
PRIORITY DOCUMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月25日

出 願 番 号

Application Number:

特願2000-393067

出 願 人

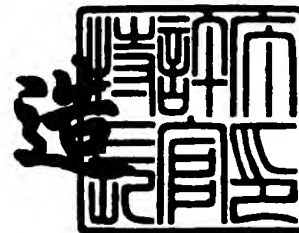
Applicant(s):

富士通株式会社

2001年 6月14日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 0052554

【提出日】 平成12年12月25日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G06F 17/50

【発明の名称】 ノイズ対策決定方法及び装置並びに記憶媒体

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 藤森 省吾

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 山下 裕寛

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 山田 亮二

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 登坂 正喜

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 徳田 和彦

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

株式会社内

【氏名】 米田 二郎

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通
株式会社内

【氏名】 須和田 誠

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通
株式会社内

【氏名】 小泉 健夫

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデン
プレイスタワー 3 2 階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【先の出願に基づく優先権主張】

【出願番号】 特願2000-138681

【出願日】 平成12年 5月11日

【先の出願に基づく優先権主張】

【出願番号】 特願2000-159100

【出願日】 平成12年 5月29日

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ノイズ対策決定方法及び装置並びに記憶媒体

【特許請求の範囲】

【請求項 1】 対象となる回路のうち、少なくとも 1 つのネット分の入力回路情報に基いて、計算式によりノイズが最小となると考えられる推奨回路情報を算出する推奨回路情報算出ステップと、

該入力回路情報と該推奨回路情報との比較し、異なる部分の推奨回路情報をノイズ対策として決定するノイズ対策決定ステップとを含むことを特徴とする、ノイズ対策決定方法。

【請求項 2】 前記ノイズ対策の決定後に、前記入力回路情報のシミュレーションモデルを作成する回路モデル作成ステップと、

該シミュレーションモデルを用いて回路シミュレーションを行い、前記回路の配線を伝播する信号波形を算出して信号波形に許容範囲を超えるノイズが存在するか否かをチェックするシミュレーション・チェックステップと、

ノイズチェックの結果存在するノイズを分類して、決定されたノイズ対策をノイズに関係する部分のみに絞り込むノイズ対策絞り込みステップとを更に含むことを特徴とする、請求項 1 記載のノイズ対策決定方法。

【請求項 3】 解析される解析回路に対するノイズ対策決定方法であって、
該解析回路と伝送回路トポロジの特徴との比較に基いて該解析回路の良否を判定し、回路良否判定結果に応じて該解析回路を伝送回路トポロジの基本型に近づけるための改善案を出力する回路良否判定・出力ステップを含むことを特徴とする、ノイズ対策決定方法。

【請求項 4】 対象となる回路のうち、少なくとも 1 つのネット分の入力回路情報に基いて、計算式によりノイズが最小となると考えられる推奨回路情報を算出する推奨回路情報算出手段と、

該入力回路情報と該推奨回路情報との比較し、異なる部分の推奨回路情報をノイズ対策として決定するノイズ対策決定手段とを備えたことを特徴とする、ノイズ対策決定装置。

【請求項 5】 コンピュータにノイズ対策を決定させるプログラムを格納し

たコンピュータ読み取り可能な記憶媒体であって、

コンピュータに、対象となる回路のうち、少なくとも1つのネット分の入力回路情報に基いて、計算式によりノイズが最小となると考えられる推奨回路情報を算出させる推奨回路情報算出手順と、

コンピュータに、該入力回路情報と該推奨回路情報との比較し、異なる部分の推奨回路情報をノイズ対策として決定させるノイズ対策決定手順とを行わせることを特徴とする、記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ノイズ対策決定方法及び装置並びに記憶媒体に関し、特に大規模集積回路（LSI）、マルチチップモジュール（MCM）、プリント基板（PCB）等の電子回路を設計する際に、電子回路で発生し得るノイズを最小限に抑えて電子回路の正常な動作を保証するためのノイズ対策を決定するノイズ対策決定方法及び装置、並びにコンピュータにそのようなノイズ対策の決定を行わせるプログラムを格納したコンピュータ読み取り可能な記憶媒体に関する。

【0002】

近年、各種電子回路の小型化や高速化に伴い、電子回路を設計する際のノイズ解析とノイズ対策が重要になってきている。ノイズ対策とは、ノイズ解析の結果に基いて、電子回路で発生するノイズを抑えるために取られる各種対策を言う。

【従来の技術】

従来、電子回路を設計する際にノイズ解析を行うノイズ解析ツールとしては、様々なものが提案されている。ノイズ解析ツールは、電子回路の実装設計後に回路シミュレータを用いてノイズ解析及びノイズチェックを行い、ノイズを抑えるためのノイズ対策を決定する。電子回路の設計は、決定されたノイズ対策に基いて必要に応じて変更される。このような設計変更の後、再度ノイズ解析及びノイズチェックを行い、ノイズが許容範囲内に収まるまで上記の如き手順を繰り返す。

【0003】

電子回路を設計する際に考慮すべき主なノイズは、反射ノイズとクロストークノイズである。通常、反射ノイズは、ドライバ素子の内部抵抗と伝送線路の特性インピーダンスの不整合により発生する。この反射ノイズを抑えるために、特に1対1伝送の場合には、ドライバ素子の出力に直列にダンピング抵抗を挿入する方法が提案されている。この方法によると、ドライバ素子の内部抵抗値とダンピング抵抗値との合計が伝送線路の特性インピーダンスと等しくなるように、ダンピング抵抗値を選択する。

【0004】

1対1伝送以外の、例えば1対N伝送における反射ノイズは、配線トポロジにも大きく依存する。このため、配線トポロジの選択は手作業で行われ、設計者が選択された配線トポロジに合わせた配線を行う。従って、回路シミュレータは、配線情報に基づいてノイズ解析とノイズチェックを行う。ノイズ解析の結果、許容範囲を超えるノイズが存在する場合、配線トポロジの変更、配線トポロジに合わせた再配線、ノイズ解析及びノイズチェックといった作業を繰り返し、最適な配線トポロジを探し出す。

【0005】

他方、クロストークノイズは、ドライバ素子の駆動能力と隣接するパターンのギャップに大きく依存する。通常、クロストークノイズの解析は、隣接するパターンの情報を必要とするため、電子回路の実装設計後に実装設計データを用いてノイズ解析とノイズチェックを行う。ここで、隣接するパターンの情報には、パターンギャップ、パターン同士が平行に走る距離、伝送線路上でパターンが平行になっている位置等を含む。

【0006】

しかし、近年の電子回路の更なる小型化及び高速化に伴い、ノイズ解析及びノイズチェックを必要とするネットが増加し、設計工数が増大している。ネットとは、電子回路を設計する際に、着目する少なくとも1つの回路素子からなる部分を言う。このため、回路設計、実装設計及びノイズ解析を手作業で繰り返す後戻り処理を要さないノイズ対策が必要となる。つまり、回路設計及び実装設計前に、少なくとも1ネット分の回路モデルを作成して、回路モデルを入力とするノイ

ズ対策を決定する必要がある。

【0007】

【発明が解決しようとする課題】

回路設計及び実装設計前に、少なくとも1ネット分の回路モデルを作成してノイズ解析及びノイズ対策を行う場合でも、常に回路シミュレータによりノイズ対策を決定するのでは、回路シミュレータの処理時間が他の処理と比べると長いので、全体の処理時間が増大してしまう。このように、回路シミュレータの処理時間が長くなる問題は、特に設計、解析、対策（設計変更）、解析といった作業サイクルを繰り返す場合に顕著となる。このため、回路シミュレータの実行を最小限に抑えてノイズ対策を決定することが望まれていた。

【0008】

回路シミュレータの実行を最小限に抑えるには、上記反射ノイズ対策においても、回路シミュレータの結果を使用せずに、ダンピング抵抗値を選択する必要がある。しかし、配線の特性インピーダンスとドライバ素子の出力抵抗に整合するダンピング抵抗値を推奨回路情報とする場合、実際の伝送波形では問題が発生しなくても、入力回路情報に既に挿入されているダンピング抵抗値と一致しないために、ノイズ対策としてダンピング抵抗値の変更が必要であるという、過剰な制限を課する決定がなされる可能性があるという問題があった。

【0009】

又、配線トポロジの決定では、配線トポロジの選択と、配線変更と、ノイズ解析とを繰り返す必要があるが、配線トポロジの選択と配線変更とを設計者が行うのでは、作業に時間がかかりすぎるという問題があった。このため、配線トポロジの選択と、配線変更と、ノイズ解析とを短時間で繰り返して、最適な配線トポロジを選択してノイズ対策を決定することが望まれていた。

【0010】

更に、上記クロストークノイズの解析方法では、実装設計後の設計データを用いてノイズ解析及びノイズチェックを行う。従って、ノイズチェックの結果クロストークノイズの問題が発見されると、実装設計を変更する必要があり、設計工程に手作業で繰り返す後戻り処理が必要な部分が発生し、設計工程数が増大して

しまうという問題があった。このため、手作業により繰り返す後戻り処理が必要な部分をなくして設計工程を短縮することが望まれていた。

【 0 0 1 1 】

そこで、本発明は、上記の問題点を除去して上記の要望を満たすことのできるノイズ対策決定方法及び装置並びに記憶媒体を提供することを目的とする。

【 0 0 1 2 】

具体的には、回路設計及び実装設計を行う前にノイズ対策の決定を行うことができ、ノイズ対策を決定する際に回路シミュレータの実行を最小限に抑えることが可能で、設計工程に手作業で繰り返す後戻り処理が必要な部分を発生することなく高速にノイズ対策を決定することのできるノイズ対策決定方法及び装置並びに記憶媒体を提供することを第 1 の目的とする。

【 0 0 1 3 】

又、本発明は、回路シミュレータの実行を必要とせず、且つ、過剰な制限を課することなく、ダンピング抵抗値の決定を可能とするノイズ対策決定方法及び装置並びに記憶媒体を提供することを第 2 の目的とする。

【 0 0 1 4 】

本発明は、回路設計及び実装設計を行う前に、実際の基板上での相対的な位置関係から最適な配線トポロジの決定を可能とするノイズ対策決定方法及び装置並びに記憶媒体を提供することを第 3 の目的とする。

【 0 0 1 5 】

更に、本発明は、回路設計及び実装設計を行う前に、クロストークノイズの解析して、クロストークノイズを考慮したノイズ対策の決定を可能とするノイズ対策決定方法及び装置並びに記憶媒体を提供することを第 4 の目的とする。

【 0 0 1 6 】

又、本発明は、自動的に解析回路の改善案を選択し、ユーザの熟練度に関係なく、最適な改善案を短い処理時間で選択可能なノイズ対策決定方法及び装置並びに記憶媒体を提供することを第 5 の目的とする。

【 0 0 1 7 】

【課題を解決するための手段】

上記課題は、対象となる回路のうち、少なくとも1つのネット分の入力回路情報に基いて、計算式によりノイズが最小となると考えられる推奨回路情報を算出する推奨回路情報算出ステップと、該入力回路情報と該推奨回路情報との比較し、異なる部分の推奨回路情報をノイズ対策として決定するノイズ対策決定ステップとを含むことを特徴とするノイズ対策決定方法によって達成できる。本発明によれば、上記第1の目的を達成できる。

【 0 0 1 8 】

ノイズ対策決定方法は、前記ノイズ対策の決定後に、前記入力回路情報のシミュレーションモデルを作成する回路モデル作成ステップと、該シミュレーションモデルを用いて回路シミュレーションを行い、前記回路の配線を伝播する信号波形を算出して信号波形に許容範囲を超えるノイズが存在するか否かをチェックするシミュレーション・チェックステップと、ノイズチェックの結果存在するノイズを分類して、決定されたノイズ対策をノイズに関係する部分のみに絞り込むノイズ対策絞り込みステップとを更に含んでも良い。本発明によれば、上記第2の目的を達成できる。

【 0 0 1 9 】

ノイズ対策決定方法は、前記回路を構成する部品ピンの位置と配線トポロジとに基いて決定されるマンハッタン長を配線長として含む入力回路情報を出力する回路情報出力ステップを更に含んでも良い。本発明によれば、上記第3の目的を達成できる。

【 0 0 2 0 】

ノイズ対策決定方法は、前記ノイズ対策の決定後に、解析対象となる着目ネットの回路情報と着目ネットに隣接する隣接ネットの回路情報とからなる入力回路情報のシミュレーションモデルを作成する回路モデル作成ステップと、該シミュレーションモデルを用いて回路シミュレーションを行い、該着目ネットを伝播する信号波形とクロストークノイズ波形を算出して合成することでノイズ合成波形を求め、該ノイズ合成波形に基いて許容範囲を超えるノイズが存在するか否かをチェックするシミュレーション・チェックステップと、ノイズチェックの結果存在するノイズを分類して、決定されたノイズ対策をノイズに関係する部分のみに

絞り込むノイズ対策絞り込みステップとを更に含んでも良い。本発明によれば、上記第4の目的を達成できる。

【0021】

上記の課題は、解析される解析回路に対するノイズ対策決定方法であって、該解析回路と伝送回路トポロジの特徴との比較に基いて該解析回路の良否を判定し、回路良否判定結果に応じて該解析回路を伝送回路トポロジの基本型に近づけるための改善案を出力する回路良否判定・出力ステップを含むことを特徴とするノイズ対策決定方法によっても達成できる。本発明によれば、上記第5の目的を達成できる。

【0022】

従って、本発明によれば、回路設計及び実装設計を行う前にノイズ対策の決定を行うことができ、ノイズ対策を決定する際に回路シミュレータの実行を最小限に抑えることが可能で、設計工程に手作業で繰り返す後戻り処理が必要な部分を発生することなく高速にノイズ対策を決定することのできるノイズ対策決定方法及び装置並びに記憶媒体を実現できる。

【0023】

【発明の実施の形態】

本発明になるノイズ対策決定方法及び装置並びに記憶媒体の各実施例を、以下に図面と共に説明する。

【0024】

【実施例】

先ず、本発明になるノイズ対策決定装置の第1実施例を説明する。ノイズ対策決定装置の第1実施例は、本発明になるノイズ対策決定方法の第1実施例及び本発明になるコンピュータ読み取り可能な記憶媒体の第1実施例を用いる。第1実施例では、本発明がコンピュータシステムに適用されている。図1は、第1実施例において本発明が適用されるコンピュータシステムを示す斜視図であり、説明の便宜上、同図に示すコンピュータシステムが以下の各実施例で用いられるものとする。

【0025】

図 1 に示すコンピュータシステム 1 0 0 は、大略 CPU やディスクドライブ等を内蔵した本体部 1 0 1、本体部 1 0 1 からの指示により表示画面 1 0 2 a 上に画像を表示するディスプレイ 1 0 2、コンピュータシステム 1 0 0 に種々の情報を入力するためのキーボード 1 0 3、ディスプレイの表示画面 1 0 2 a 上の任意の位置を指定するマウス 1 0 4 及び外部のデータベース等にアクセスして他のコンピュータシステムに記憶されているプログラム等をダウンロードするモデム 1 0 5 を有する。

【 0 0 2 6 】

ディスク 1 1 0 等の可搬型記録媒体に格納されるか、モデム 1 0 5 等の通信装置を使って他のコンピュータシステムの記録媒体 1 0 6 からダウンロードされる、コンピュータシステム 1 0 0 にノイズ対策決定機能を持たせるプログラム（ノイズ対策決定ソフトウェア）は、コンピュータシステム 1 0 0 に入力されてコンパイルされる。本発明になる記憶媒体は、プログラムを格納した、例えばディスク 1 1 0 等の記録媒体からなる。本発明になる記憶媒体を構成する記録媒体は、ディスク 1 1 0、IC カードメモリ、フロッピーディスク、光磁気ディスク、CD-ROM 等の可搬型記録媒体に限定されるものではなく、モデム 1 0 5 や LAN 等の通信装置や通信手段を介して接続されるコンピュータシステムでアクセス可能な各種記録媒体を含む。

【 0 0 2 7 】

図 2 は、コンピュータシステム 1 0 0 の本体部 1 0 1 内の要部の構成を説明するブロック図である。同図中、本体部 1 0 1 は、大略バス 2 0 0 により接続された CPU 2 0 1、RAM や ROM 等からなるメモリ部 2 0 2、ディスク 1 1 0 用のディスクドライブ 2 0 3 及びハードディスクドライブ 2 0 4 からなる。本実施例では、ディスプレイ 1 0 2、キーボード 1 0 3 及びマウス 1 0 4 も、図示の如くバス 2 0 0 を介して CPU 2 0 1 に接続されているが、これらは直接 CPU 2 0 1 に接続されていても良い。又、ディスプレイ 1 0 2 は、入出力画像データの処理を行う周知のグラフィックインタフェース（図示せず）を介して CPU 2 0 1 に接続されていても良い。

【 0 0 2 8 】

尚、コンピュータシステム 1 0 0 の構成は図 1 及び図 2 に示す構成に限定されるものではなく、代わりに各種周知の構成を使用しても良い。

【 0 0 2 9 】

図 3 は、第 1 実施例における CPU 2 0 1 のノイズ対策決定処理を説明するためのフローチャートである。本実施例では、対象となる電子回路の回路設計及び実装設計を行う前に、回路シミュレータを用いずにノイズ対策を決定する。同図中、ノイズ対策決定処理が開始されると、ステップ 1 は対象となる電子回路の少なくとも 1 ネット分の入力回路情報をキーボード 1 0 3 又は外部装置から入力し、ステップ 2 は、入力回路情報を、例えばメモリ部 2 0 2 等の記憶手段に格納する。ステップ 3 は、メモリ部 2 0 2 から読み出された入力回路情報に基づいて、計算式によりノイズが最小になると考えられる推奨回路情報を算出する。推奨回路情報は、ダンピング抵抗値、ドライバ素子・抵抗間の配線長、抵抗・レシーバ素子間の配線長、配線分岐点の位置、抵抗・分岐点間の配線長、分岐点・レシーバ素子間の配線長、ドライバ素子の駆動能力、負荷数（レシーバ素子数）等からなる。ステップ 4 は、算出された推奨回路情報を、例えばメモリ部 2 0 2 等の記憶手段に格納する。ステップ 5 は、メモリ部 2 0 2 から読み出された入力回路情報と推奨回路情報とを比較し、異なる部分の推奨回路情報をノイズ対策として決定する。ステップ 6 は、決定されたノイズ対策を、例えばディスプレイ 1 0 2 に表示することで出力する。図 4 は、本発明になるノイズ対策決定方法及び装置及び記憶媒体の第 2 実施例が適用されるコンピュータシステム 1 0 0 における CPU 2 0 1 のノイズ対策決定処理を説明するためのフローチャートである。同図中、図 3 と同一ステップには同一符号を付し、その説明は省略する。本実施例では、上記第 1 実施例で決定されたノイズ対策を、回路シミュレータの解析結果を用いて更に絞り込み、より限定されたノイズ対策を決定する。

【 0 0 3 0 】

図 4 において、ステップ 7 は、ステップ 5 で求められたノイズ対策に基づいて回路モデル、即ち、シミュレーションモデルを作成する。ステップ 8 は、作成された回路モデルを、回路シミュレータを用いて解析する。ステップ 9 は、回路シミュレータの解析結果に基づいて、問題となるノイズ、即ち、許容範囲を超えるノイ

ズが発生するか否かをチェックする。ノイズチェックは、回路シミュレータにより出力される、例えば電子回路の配線を伝播する信号波形に存在するノイズを検出することで行う。ステップ 1 0 は、ノイズチェックの結果を分類し、ステップ 6 により出力されたノイズ対策を、分類されたノイズチェックの結果に関する部分のみに絞り込む。ステップ 1 1 は、絞り込まれたノイズ対策を、例えばディスプレイ 1 0 2 に表示することで出力する。

【 0 0 3 1 】

このように、上記第 1 及び第 2 実施例によれば、少なくとも 1 ネット分の回路情報を入力することで、対象となる電子回路の回路設計及び実装設計を行う前にノイズ対策を決定することができる。又、計算式に基いた推奨回路情報を求めることで、第 2 実施例のように、回路シミュレータの実行を最小限に抑えてノイズ対策を決定することができる。

【 0 0 3 2 】

上記第 2 実施例において、ステップ 1 で入力される入力回路情報は、図 5 に示す如き 1 ネット分の情報である。図 5 に示す入力回路情報は、抵抗値が $R_0 = 20 \Omega$ のドライバ素子、配線長 $L = 20 \text{ mm}$ でインピーダンス $Z_0 = 60 \Omega$ の配線、抵抗値 $R_s = 10 \Omega$ の抵抗、配線長 $L = 20 \text{ mm}$ でインピーダンス $Z_0 = 60 \Omega$ の配線及びレシーバ素子からなる。この場合、図 5 に示す入力回路情報の他に、ネットのクロック周波数、ピン間の遅延、パターン上の信号伝播速度、層構成、パターン幅等を入力しても良い。

【 0 0 3 3 】

ステップ 3 は、入力回路情報に基いて、計算式によりノイズが最小になると考えられる推奨回路情報を求める。ここでは、説明の便宜上、図 5 に示す入力回路情報に基いて求めた推奨回路情報が、ダンピング抵抗値からなる場合を説明する。図 5 に示す入力回路情報について、例えば入力波形の 1 回目の立ち上がり電圧が、回路の正常動作を保証する最大電圧 V_{IH-2} と一致するダンピング抵抗値が 12Ω 、入力波形の 1 回目の立ち上がり電圧が、回路の正常動作を保証する最小電圧 V_{IH-1} と一致するダンピング抵抗値が 67Ω であるとステップ 8 で算出されると、推奨回路情報のダンピング抵抗値は、 $12 \sim 67 \Omega$ となる。

【 0 0 3 4 】

図 6 は、1 回目の立ち上がり電圧と、回路の最大電圧 V_{IH-2} ，最小電圧 V_{IH-1} との関係を示す図である。同図中、縦軸は電圧、横軸は時間を示す。この場合、ステップ 5 は、1 回目の立ち上がり電圧が、図 6 中、点線で示す最大電圧 V_{IH-2} 以下で最小電圧 V_{IH-1} 以上の範囲に収まるようなダンピング抵抗値を、ノイズ対策として求める。つまり、ステップ 5 は、入力回路情報のダンピング抵抗値が $10\ \Omega$ であり、推奨回路情報のダンピング抵抗値が $12 \sim 67\ \Omega$ であるため、これらを比較することで、入力回路情報のダンピング抵抗値を推奨回路情報のダンピング抵抗値である $12 \sim 67\ \Omega$ に変更することを、ノイズ対策として決定する。

【 0 0 3 5 】

又、図 5 に示す入力回路情報において、ダンピング抵抗値の算出に、リングバック時の電圧を考慮しても良い。リングバック時の電圧が、最小電圧 V_{IH-1} と一致するダンピング抵抗値が $14\ \Omega$ と算出されたとする。この場合、入力波形の 1 回目の立ち上がり電圧が最大定格電圧と一致するダンピング抵抗値は $12\ \Omega$ と比較し、大きい方の $14\ \Omega$ がダンピング抵抗値の最小値として採用されるため、推奨回路情報のダンピング抵抗値は $14 \sim 67\ \Omega$ となる。図 7 は、リングバック時の電圧と最小電圧 V_{IH-1} との関係を示す図である。同図中、縦軸は電圧、横軸は時間を示す。従って、この場合には、1 回目の立ち上がり電圧に加え、リングバック時の電圧が図 7 中点線で示す最小電圧 V_{IH-1} 以上の範囲に収まるようなダンピング抵抗値を、ノイズ対策として決定する。

【 0 0 3 6 】

図 8 は、本発明になるノイズ対策決定方法及び装置及び記憶媒体の第 3 実施例が適用されるコンピュータシステム 100 における CPU 201 のノイズ対策決定処理を説明するためのフローチャートである。同図中、図 4 と同一ステップには同一符号を付し、その説明は省略する。本実施例では、入力回路情報を入力する際に、配線の引き回しと配線長の入力を省略するために、回路を構成する入出力 (I/O) バッファ等の部品ピンの位置を入力し、部品ピンの位置と配線トポロジとから求まるマンハッタン長を配線長として使用する。

【 0 0 3 7 】

図 8 において、ステップ 1 は、配線の引き回しと配線長の入力を省略するために、回路を構成する部品ピンの位置、即ち、配置位置を入力回路情報として入力する。従って、ステップ 1 3 は、配置位置を入力回路情報としてメモリ部 2 0 2 等の記憶手段に格納する。ステップ 1 5 は、入力回路情報としてメモリ部 2 0 2 から読み出された配置位置と、指定された配線トポロジとに基いて、マンハッタン長又は仮配線長を配線長として算出する。ステップ 1 6 は、算出された配線長は、回路情報としてメモリ部 2 0 2 等の記憶手段に格納される。従って、本実施例では、ステップ 3 は、配線長、即ち、マンハッタン長に基いて推奨回路情報を算出する。

【 0 0 3 8 】

次に、本実施例において、I/Oバッファの配置位置と配線トポロジとから求めるマンハッタン長を配線長として使用する場合について説明する。図 9 は、配線の引き回しを行わずに I/O バッファの配置位置を入力する場合を示す図である。同図中、括弧内に示された座標は、各 I/O バッファの配置位置を表している。この場合、出力バッファ（ドライバ素子）が座標（1 5， 9 0）に配置され、入力バッファ（レシーバ素子）が座標（1 2 0， 5 0）と座標（9 5， 1 7 5）に配置されている。ここで、配線トポロジとして「スター型」が指定されていると、ステップ 1 5 は、先ず配線トポロジに合うように分岐点の位置を座標（2 0， 9 5）と算出する。つまり、指定された配線トポロジが「スター型」であるため、分岐点からレシーバ素子までのマンハッタン長が 2 つのレシーバ素子で等しくなるように、且つ、ドライバ素子から分岐点までの距離ができるだけ短くなるように、分岐点の位置が決められる。同図に示す場合、座標の単位を mm とすると、ドライバ素子から分岐点までの配線長は 1 5 mm、ドライバ素子から各レシーバ素子までの配線長は 1 5 0 mm と、マンハッタン長で算出される。以後、この配線長が入力回路情報の配線長として用いられる。

【 0 0 3 9 】

尚、変形例として、配線トポロジの指定を行わずに、予め選択し得る配線トポロジを定義しておき、順番に配線トポロジを変えてマンハッタン長で配線長を算

出することもできる。この場合、選択し得る配線トポロジとしては、「スター型」、「負荷集中型」、「いもづる（チェーン）型」、「H型」等がある。

【 0 0 4 0 】

図 1 0 は、本発明になるノイズ対策決定方法及び装置及び記憶媒体の第 4 実施例が適用されるコンピュータシステム 1 0 0 における CPU 2 0 1 のノイズ対策決定処理を説明するためのフローチャートである。同図中、図 8 と同一ステップには同一符号を付し、その説明は省略する。本実施例では、配線トポロジを指定せず、選択し得る全ての配線トポロジを用いてノイズチェックまでの処理を繰り返し、ノイズチェックの結果から最適な配線トポロジを決定する。

【 0 0 4 1 】

図 1 0 において、ステップ 1 5 は、入力回路情報としてメモリ部 2 0 2 から読み出された配置位置と、選択し得る配線トポロジのうち最初の配線トポロジとに基づいて、マンハッタン長を配線長として算出する。ステップ 9 - 1 は、ノイズチェックを行うと共に、選択し得る配線トポロジが残っているか否かも判断し、判断結果が YES であると、処理はステップ 1 5 へ戻る。従って、ステップ 1 5, 1 6, 7, 8, 9 - 1 は、選択し得る配線トポロジがなくなりステップ 9 - 1 の判断結果が NO となるまで繰り返される。この結果、ステップ 1 7 は、繰り返し行ったノイズチェックの結果に基づき、最適な配線トポロジをノイズ対策として求め、ステップ 1 8 は、求められた最適な配線トポロジを出力する。

【 0 0 4 2 】

図 1 1 は、本発明になるノイズ対策決定方法及び装置及び記憶媒体の第 5 実施例が適用されるコンピュータシステム 1 0 0 における CPU 2 0 1 のノイズ対策決定処理を説明するためのフローチャートである。同図中、図 8 と同一ステップには同一符号を付し、その説明は省略する。本実施例では、クロストークノイズを考慮したノイズチェックを行う。

【 0 0 4 3 】

図 1 1 において、ステップ 1 で入力される入力回路情報のうち、解析対象となる着目ネットに関する回路情報はステップ 2 においてメモリ部 2 0 2 等の記憶手段に格納され、着目ネットに隣接する隣接ネットに関する回路情報はステップ 1

9においてメモリ部202等の記憶手段に格納される。ステップ7-1は、着目ネットと隣接ネットとのシミュレーションモデルを作成する。従って、ステップ9は、このシミュレーションモデルに基づいて回路シミュレーションを実行することにより、着目ネットの伝播信号波形とクロストークノイズ波形を算出し、伝播信号波形とクロストークノイズ波形を合成してノイズ合成波形を求める。又、ステップ9は、ノイズ合成波形に基づいてノイズチェックを行う。

【0044】

図12は、着目ネットと隣接ネットの回路情報を説明する図である。同図に示すように、ネット内でクロストークを考慮すべき部分を指定し、パターンギャップも合わせて入力する。この場合、着目ネットの回路情報は、ドライバ素子、配線長 $L = 150\text{ mm}$ でインピーダンス $Z_0 = 60\ \Omega$ の配線、配線長 $L = 20\text{ mm}$ でインピーダンス $Z_0 = 60\ \Omega$ の配線及びレシーバ素子からなる。隣接ネットの回路情報は、ドライバ素子、配線長 $L = 100\text{ mm}$ でインピーダンス $Z_0 = 70\ \Omega$ の配線、配線長 $L = 20\text{ mm}$ でインピーダンス $Z_0 = 70\ \Omega$ の配線及びレシーバ素子からなる。又、パターンギャップ Gap は 1.27 mm である。ステップ8では、回路シミュレータのモデルを作成する際に、クロストーク部分のモデルを作成し、回路シミュレータから出力されるクロストークノイズ波形と、着目ネットの伝播信号波形とを合成してノイズ合成波形を求める。ノイズチェックは、このノイズ合成波形に基づいて行われる。

【0045】

図13は、本発明になるノイズ対策決定方法及び装置及び記憶媒体の第6実施例が適用されるコンピュータシステム100におけるCPU201のノイズ対策決定処理を説明するためのフローチャートである。同図中、図11と同一ステップには同一符号を付し、その説明は省略する。本実施例では、隣接ネットの回路情報を入力する代わりに、着目ネットと同一構成のネットが一定のパターンギャップで隣接しているものとしてシミュレーションモデルを作成する。

【0046】

図13において、ステップ19-1は、着目ネットに関する回路情報を、着目ネットに隣接する隣接ネットに関する回路情報としてメモリ部202等の記憶手

段に格納している。つまり、着目ネットと同一構成のネットが一定のパターンギャップで隣接しているものとして、隣接ネットの回路情報を自動発生させる。ステップ 7-1 は、この隣接ネットに関する回路情報を用いて、着目ネットと隣接ネットとのシミュレーションモデルを作成する。

【 0 0 4 7 】

図 1 4 は、着目ネットと隣接ネットの回路情報を説明する図である。同図に示すように、ネット内でクロストークを考慮すべき部分を指定し、着目ネットと同一構成のネットが、一定のパターンギャップで隣接しているものとするこで、隣接ネットの回路情報を自動発生させる。この場合、着目ネットの回路情報は、ドライバ素子、配線長 $L = 150 \text{ mm}$ でインピーダンス $Z_0 = 60 \Omega$ の配線、配線長 $L = 20 \text{ mm}$ でインピーダンス $Z_0 = 60 \Omega$ の配線及びレシーバ素子からなる。自動発生される隣接ネットの回路情報は、同じくドライバ素子、配線長 $L = 150 \text{ mm}$ でインピーダンス $Z_0 = 60 \Omega$ の配線、配線長 $L = 20 \text{ mm}$ でインピーダンス $Z_0 = 60 \Omega$ の配線及びレシーバ素子からなり、パターンギャップ G_{ap} は 1.27 mm で一定である。ステップ 8 では、回路シミュレータのモデルを作成する際に、クロストーク部分のモデルを作成し、回路シミュレータから出力されるクロストークノイズ波形と、着目ネットの伝播信号波形とを合成してノイズ合成波形を求める。ノイズチェックは、このノイズ合成波形に基いて行われる。

【 0 0 4 8 】

図 1 5 は、本発明になるノイズ対策決定方法及び装置及び記憶媒体の第 7 実施例が適用されるコンピュータシステム 100 における CPU 201 のノイズ対策決定処理を説明するためのフローチャートである。同図中、図 1 3 と同一ステップには同一符号を付し、その説明は省略する。本実施例では、着目ネットと隣接ネットとのパターンギャップを変更しながらシミュレーションモデルの作成からノイズチェックまでの処理を繰り返すことで、ノイズが許容範囲内となる最小のパターンギャップを求めてノイズ対策として出力する。

【 0 0 4 9 】

図 1 5 において、ステップ 7-2 は、着目ネットの回路情報及び隣接ネットの

回路情報に加え、着目ネットと隣接ネットとのパターンギャップの最小値、最大値及び刻みに基いてシミュレーションモデルを作成する。又、ステップ 9-2 は、パターンギャップの最小値で隣接ネットの回路情報を作成し、クロストークを考慮したノイズチェックを行うと共に、ノイズが許容範囲を超える場合には、刻み分だけパターンギャップを広げて処理をステップ 7-2 へ戻す。これにより、ノイズが許容範囲内となるまでステップ 7-2, 8, 9-2 の処理を繰り返し、ステップ 21 は、ノイズが許容範囲内となる最小のパターンギャップをノイズ対策として求め、ステップ 22 は求められたノイズ対策を出力する。

【 0 0 5 0 】

尚、上記各実施例における処理は、回路設計されたデータに基いて行っても、実装設計されたデータに基いて行っても良い。又、配線トポロジをノイズ対策として出力するノイズ対策決定方法と同様に、選択し得る全ての組み合わせを事項することにより、最適な抵抗値、分岐長、配線の特性インピーダンス、配線パターン幅等をノイズ対策として出力するようにしても良い。

【 0 0 5 1 】

次に、具体的な入力回路情報に対して求められる推奨回路情報及びノイズ対策について説明する。以下の説明では、便宜上、推奨回路情報及びノイズ対策が図 8 に示す第 3 実施例により求められるものとする。

【 0 0 5 2 】

図 16 は、入力回路情報を示す図である。この場合、配線トポロジは負荷集中型であり、配線パターンの特性インピーダンス $Z_0 = 60 \Omega$ 、配線パターンの伝送遅延時間 $T_d = 7.0 \text{ ns/m}$ である。入力回路情報は、出力抵抗 $R_0 = 10 \Omega$ 、立ち上がり時間 $T_r = 0.7 \text{ ns}$ 、立下り時間 $T_f = 0.6 \text{ ns}$ のドライバ素子 (DV)、配線長 $L_1 = 150 \text{ mm}$ の配線、配線長 $L_3 = 30 \text{ mm}$ の配線、配線長 $L_4 = 100 \text{ mm}$ の配線、レシーバ素子 RV1 及びレシーバ素子 RV2 を含む。

【 0 0 5 3 】

図 17 は、図 16 に示す入力回路情報に対して求められる推奨回路情報を示す図である。図 17 に示す推奨回路情報は、配線トポロジが負荷集中型であり、配

線パターンの特性インピーダンス $Z_0 = 60 \Omega$ 、配線パターンの伝送遅延時間 $T_d = 7.0 \text{ ns/m}$ である。又、出力抵抗 $R_0 = 10 \Omega$ 、立ち上がり時間 $T_r = 0.7 \text{ ns}$ 、立下り時間 $T_f = 0.6 \text{ ns}$ のドライバ素子 (DV)、配線長 $L_2 = 0 \sim 35 \text{ mm}$ の配線、抵抗値 $R_s = 40 \sim 60 \Omega$ のダンピング抵抗、配線長 $L_1 = 150 \text{ mm}$ の配線、配線長 $L_3 = 0 \sim 35 \text{ mm}$ の配線、配線長 $L_4 = 0 \sim 35 \text{ mm}$ の配線、レシーバ素子 RV1 及びレシーバ素子 RV2 を含む。

【 0 0 5 4 】

この場合、ダンピング抵抗の抵抗値 R_s の推奨値 $40 \Omega \leq R_s \leq 60 \Omega$ は、配線の特性インピーダンス Z_0 及びドライバ素子 (DV) の出力抵抗 R_0 から算出する。ドライバ素子 (DV) とダンピング抵抗との間の配線長 L_2 の推奨値 $0 \leq L_2 \leq 35 \text{ mm}$ は、配線パターンの伝送遅延時間 T_d 、ドライバ素子 (DV) の立ち上がり時間 T_r 及び立下り時間 T_f から算出する。分岐点とレシーバ素子 (RV1) との間の配線長 L_3 の推奨値 $0 \leq L_3 \leq 35 \text{ mm}$ は、配線パターンの伝送遅延時間 T_d 、ドライバ素子 (DV) の立ち上がり時間 T_r 及び立下り時間 T_f から算出する。分岐点とレシーバ素子 (RV2) との間の配線長 L_4 の推奨値 $0 \leq L_4 \leq 35 \text{ mm}$ は、配線パターンの伝送遅延時間 T_d 、ドライバ素子 (DV) の立ち上がり時間 T_r 及び立下り時間 T_f から算出する。

【 0 0 5 5 】

ノイズ対策は、図 1 6 に示す入力回路情報と、図 1 7 に示す推奨回路情報との相違点に基いて決定される。この場合、決定されるノイズ対策は、例えば抵抗値が $40 \sim 60 \Omega$ のダンピング抵抗 R_s をドライバ素子 (DV) から $0 \sim 35 \text{ mm}$ の位置に追加すること、分岐点とレシーバ素子 (RV2) との間の配線長 L_4 を $0 \sim 35 \text{ mm}$ に変更すること等である。

【 0 0 5 6 】

図 1 8 は、他の入力回路情報を示す図である。この場合、配線トポロジはスター型であり、配線パターンの特性インピーダンス $Z_0 = 60 \Omega$ 、配線パターンの伝送遅延時間 $T_d = 7.0 \text{ ns/m}$ である。入力回路情報は、出力抵抗 $R_0 = 10 \Omega$ 、立ち上がり時間 $T_r = 0.7 \text{ ns}$ 、立下り時間 $T_f = 0.6 \text{ ns}$ のドライバ素子 (DV)、配線長 $L_1 = 20 \text{ mm}$ の配線、配線長 $L_2 = 150 \text{ mm}$ の配線、配

線長 $L_3 = 150 \text{ mm}$ の配線、負荷容量値 $C_1 = 3 \text{ pF}$ のレシーバ素子 RV_1 及び負荷容量値 $C_2 = 7 \text{ pF}$ のレシーバ素子 RV_2 を含む。

【 0 0 5 7 】

図 19 は、図 18 に示す入力回路情報に対して求められる推奨回路情報を示す図である。図 19 に示す推奨回路情報は、配線トポロジが負荷集中型であり、配線パターンの特性インピーダンス $Z_0 = 60 \Omega$ 、配線パターンの伝送遅延時間 $T_d = 7.0 \text{ ns/m}$ である。又、出力抵抗 $R_0 = 10 \Omega$ 、立ち上がり時間 $T_r = 0.7 \text{ ns}$ 、立下り時間 $T_f = 0.6 \text{ ns}$ のドライバ素子 (DV)、配線長 $L_1 = 0 \sim 35 \text{ mm}$ の配線、配線長 $L_4 = 0 \sim 20 \text{ mm}$ の配線、配線長 $L_5 = 0 \sim 20 \text{ mm}$ の配線、抵抗値 $R_{s1} = 20 \sim 40 \Omega$ のダンピング抵抗、抵抗値 $R_{s2} = 20 \sim 40 \Omega$ のダンピング抵抗、配線長 $L_2 = 150 \text{ mm}$ の配線、配線長 $L_3 = 150 \text{ mm}$ の配線、負荷容量値 $C_1 = 3 \text{ pF}$ のレシーバ素子 RV_1 及び負荷容量値 $C_2 = 7 \text{ pF}$ のレシーバ素子 RV_2 を含む。

【 0 0 5 8 】

この場合、ダンピング抵抗の抵抗値 R_{s1} の推奨値（最大値） $R_{s1} \leq 40 \Omega$ 及びダンピング抵抗の抵抗値 R_{s2} の推奨値（最大値） $R_{s2} \leq 40 \Omega$ は、配線の特性インピーダンス Z_0 及びドライバ素子 (DV) の出力抵抗 R_0 から算出する。又、ダンピング抵抗の抵抗値 R_{s1} の推奨値（最小値） $20 \Omega \leq R_{s1}$ 及びダンピング抵抗の抵抗値 R_{s2} の推奨値（最小値） $20 \Omega \leq R_{s2}$ は、レシーバ素子 (RV_1) の負荷容量値 C_1 とレシーバ素子 (RV_2) の負荷容量値 C_2 から算出する。ドライバ素子 (DV) と分岐点との間の配線長 L_1 の推奨値 $0 \leq L_1 \leq 35 \text{ mm}$ は、配線パターンの伝送遅延時間 T_d 、ドライバ素子 (DV) の立ち上がり時間 T_r 及び立下り時間 T_f から算出する。分岐点とダンピング抵抗 R_{s1} との間の配線長 L_4 の推奨値 $0 \leq L_4 \leq 20 \text{ mm}$ は、配線パターンの伝送遅延時間 T_d 、ドライバ素子 (DV) の立ち上がり時間 T_r 及び立下り時間 T_f から算出する。分岐点とダンピング抵抗 R_{s2} との間の配線長 L_5 の推奨値 $0 \leq L_5 \leq 20 \text{ mm}$ は、配線パターンの伝送遅延時間 T_d 、ドライバ素子 (DV) の立ち上がり時間 T_r 及び立下り時間 T_f から算出する。

【 0 0 5 9 】

ノイズ対策は、図 1 8 に示す入力回路情報と、図 1 9 に示す推奨回路情報との相違点に基いて決定される。この場合、決定されるノイズ対策は、例えば抵抗値が $20 \sim 40 \Omega$ のダンピング抵抗 R_{s1} を分岐点とレシーバ素子 ($RV1$) との間の、分岐点から $0 \sim 35 \text{ mm}$ の位置に追加すること、抵抗値が $20 \sim 40 \Omega$ のダンピング抵抗 R_{s2} を分岐点とレシーバ素子 ($RV2$) との間の、分岐点から $0 \sim 35 \text{ mm}$ の位置に追加すること等である。

【 0 0 6 0 】

図 2 0 は、更に他の入力回路情報を示す図である。この場合、配線トポロジはスター型であり、配線パターンの特性インピーダンス $Z_0 = 60 \Omega$ 、配線パターンの伝送遅延時間 $T_d = 7.0 \text{ ns/m}$ である。入力回路情報は、出力抵抗 $R_0 = 40 \Omega$ 、立ち上がり時間 $T_r = 0.7 \text{ ns}$ 、立下り時間 $T_f = 0.6 \text{ ns}$ のドライバ素子 (DV)、配線長 $L_1 = 20 \text{ mm}$ の配線、配線長 $L_2 = 150 \text{ mm}$ の配線、配線長 $L_3 = 150 \text{ mm}$ の配線、配線長 $L_4 = 150 \text{ mm}$ の配線、負荷容量値 $C_1 = 3 \text{ pF}$ のレシーバ素子 $RV1$ 、負荷容量値 $C_2 = 3 \text{ pF}$ のレシーバ素子 $RV2$ 及び負荷容量値 $C_3 = 4 \text{ pF}$ のレシーバ素子 ($RV3$) を含む。

【 0 0 6 1 】

図 2 1 は、図 2 0 に示す入力回路情報に対して求められる推奨回路情報を示す図である。図 2 1 に示す推奨回路情報は、配線トポロジが負荷集中型であり、配線パターンの特性インピーダンス $Z_0 = 60 \Omega$ 、配線パターンの伝送遅延時間 $T_d = 7.0 \text{ ns/m}$ である。又、出力抵抗 $R_0 = 40 \Omega$ 、立ち上がり時間 $T_r = 0.7 \text{ ns}$ 、立下り時間 $T_f = 0.6 \text{ ns}$ のドライバ素子 (DV)、配線長 $L_1 = 150 \text{ mm}$ の配線、配線長 $L_2 = 0 \sim 55 \text{ mm}$ の配線、配線長 $L_3 = 0 \sim 55 \text{ mm}$ の配線、配線長 $L_4 = 0 \sim 55 \text{ mm}$ の配線、負荷容量値 $C_1 = 3 \text{ pF}$ のレシーバ素子 $RV1$ 、負荷容量値 $C_2 = 3 \text{ pF}$ のレシーバ素子 $RV2$ 及び負荷容量値 $C_3 = 4 \text{ pF}$ のレシーバ素子 ($RV3$) を含む。

【 0 0 6 2 】

この場合、配線の特性インピーダンス $Z_0 = 60 \Omega$ 、ドライバ素子 (DV) の出力抵抗 $R_0 = 40 \Omega$ 、レシーバ素子数 (この場合 3 個)、各レシーバ素子 ($RV1 \sim RV3$) の負荷容量値 $C_1 = C_2 = 3 \text{ pF}$ 、 $C_3 = 4 \text{ pF}$ から、配線トポ

ロジとして負荷集中型を選択する。ドライバ素子（DV）と分岐点との間の配線長 L_1 の推奨値 $L_1 = 150 \text{ mm}$ は、配線トポロジと配線長 $L_1 = 20 \text{ mm}$ 、 $L_2 = 150 \text{ mm}$ 、 $L_3 = 150 \text{ mm}$ から算出する。分岐点とレシーバ素子（RV1）との間の配線長 L_2 の推奨値 $0 \leq L_2 \leq 55 \text{ mm}$ は、配線パターンの伝送遅延時間 T_d 、ドライバ素子（DV）の立ち上がり時間 T_r 及び立下り時間 T_f から算出する。分岐点とレシーバ素子（RV2）との間の配線長 L_3 の推奨値 $0 \leq L_3 \leq 55 \text{ mm}$ は、配線パターンの伝送遅延時間 T_d 、ドライバ素子（DV）の立ち上がり時間 T_r 及び立下り時間 T_f から算出する。分岐点とレシーバ素子（RV3）との間の配線長 L_4 の推奨値 $0 \leq L_4 \leq 55 \text{ mm}$ は、配線パターンの伝送遅延時間 T_d 、ドライバ素子（DV）の立ち上がり時間 T_r 及び立下り時間 T_f から算出する。

【0063】

ノイズ対策は、図20に示す入力回路情報と、図21に示す推奨回路情報との相違点に基いて決定される。この場合、決定されるノイズ対策は、例えば配線トポロジを負荷集中型に変更する、ドライバ素子（DV）と分岐点との間の配線長 L_1 を 150 mm に変更する、分岐点とレシーバ素子（RV1）との間の配線長 L_2 を $0 \sim 55 \text{ mm}$ に変更する、分岐点とレシーバ素子（RV2）との間の配線長 L_3 を $0 \sim 55 \text{ mm}$ に変更する、分岐点とレシーバ素子（RV3）との間の配線長 L_4 を $0 \sim 55 \text{ mm}$ に変更すること等である。

【0064】

尚、推奨回路情報は、上記各実施例と共に説明した情報に限定されるものではない。推奨回路情報には、例えばドライバ素子とダンピング抵抗との間の配線長、分岐点と各レシーバ素子との間の配線長、ドライバ素子と各レシーバ素子との間の線長差、ダンピング抵抗値、ダンピング抵抗の挿入位置、プルアップ抵抗値、プルダウン抵抗値、プルアップ電圧値、ドライバ素子の駆動能力、1つのドライバ素子に対してレシーバ素子をいくつ設けるか等の負荷数、配線トポロジ等をも用い得る。

【0065】

図22は、本発明になるノイズ対策決定方法及び装置及び記憶媒体の第8実施

例が適用されるコンピュータシステム 1 0 0 における CPU 2 0 1 のノイズ対策決定処理を説明するためのフローチャートである。同図中、図 4 と同一ステップには同一符号を付し、その説明は省略する。本実施例では、入力回路情報に対してルールチェック及びトポロジチェックを行い、いずれかのチェックにおいてエラーが見つかったら、エラーを修正するためのアドバイスを表示することで、回路修正の時間の短縮及びアドバイスの精度向上を図るものである。

【 0 0 6 6 】

図 2 2 において、ステップ 4 1 は、入力回路情報に対して回路のルールチェックを行い、ルールエラーが見つかったか否かを判定する。回路のルールチェックでは、配線に関しては断線、ループ（短絡）、アンテナ配線の有無等をチェックし、論理に関しては回路にドライバ素子しかない、レシーバ素子しかない、オープンドレインの回路にプルアップ抵抗がない等をチェックして、回路の共通的、且つ、基本的なチェックを行う。これにより、早い段階で入力回路情報のルールエラーを見つけることができる。ステップ 4 1 の判定結果が N O であると、ステップ 4 2 は、見つけられたルールエラーに対して入力回路情報をどのように修正すべきかを示すアドバイスをディスプレイ 1 0 2 に表示する。ステップ 4 2 の後、処理はステップ 1 へ戻り、オペレータはアドバイスに従ってルールエラーを取り除くように入力回路情報を修正する。

【 0 0 6 7 】

他方、ステップ 4 1 の判定結果が Y E S であると、ステップ 4 3 は、入力回路情報に対して配線のトポロジチェックを行い、トポロジエラーが見つかったか否かを判定する。配線のトポロジ（配線トポロジとも言う）とは、回路の配線がどのように接続されているかにより分類したもので、1 : 1 型を含む負荷集中型、スター型、いもづる型等がある。回路の配線は、これらのいずれかの型に従った接続とすることで例えば良い信号波形等の良い特性を得ることができる。このため、回路がどの配線トポロジに従って配線されたかをチェックし、型からはずれた箇所を見つけることで、早い段階で入力回路情報のトポロジエラーを見つけることができる。ステップ 4 3 の判定結果が N O であると、ステップ 4 4 は、見つけられたトポロジエラーに対して入力回路情報をどのように修正すべきかを示

すアドバイスをディスプレイ 1 0 2 に表示する。ステップ 4 4 の後、処理はステップ 1 へ戻り、オペレータはアドバイスに従ってトポロジエラーを取り除くように入力回路情報を修正する。

【 0 0 6 8 】

ステップ 4 3 の判定結果が Y E S であると、処理はステップ 3 へ進む。つまり、入力回路情報に対する回路のルールチェック及び配線のトポロジチェックを行った結果、エラーが見つからない場合には、チェック済みの入力回路情報に基づいて上記第 2 実施例の如く推奨回路情報が算出される。ステップ 3 以降の処理は、上記第 2 実施例の場合と同じである。

【 0 0 6 9 】

尚、ステップ 4 1 及びステップ 4 3 を行う順序は、逆であっても良い。つまり、ステップ 4 3 のトポロジチェックの結果、トポロジエラーがない場合にステップ 4 1 のルールチェックを行い、ルールエラーがない場合にステップ 3 の処理へ進むようにしても良い。

【 0 0 7 0 】

このように、本実施例によれば、例えばステップ 9 において波形解析等によりノイズチェックを行った結果に基づいて入力回路情報を修正する場合と比較すると、早い段階でルールエラー及びトポロジエラーを見つけることができる。又、ルールエラー及びトポロジエラーのいずれかのエラーが見つかり、エラーを修正するためのアドバイスを表示するので、回路修正の時間の短縮すると共に、アドバイスの精度向上することができる。

【 0 0 7 1 】

図 2 3 は、本発明になるノイズ対策決定方法及び装置及び記憶媒体の第 9 実施例が適用されるコンピュータシステム 1 0 0 における C P U 2 0 1 のノイズ対策決定処理を説明するためのフローチャートである。同図中、図 2 2 と同一ステップには同一符号を付し、その説明は省略する。本実施例でも、入力回路情報に対してルールチェック及びトポロジチェックを行い、いずれかのチェックにおいてエラーが見つかり、エラーを修正するためのアドバイスを表示することで、回路修正の時間の短縮及びアドバイスの精度向上を図るものである。

【 0 0 7 2 】

図 2 3 において、ステップ 5 1 は、回路図を入力し、各種設定を行う。又、ステップ 5 2 は、設計条件の入力、設計指標の入力、観測点の指定、チェック項目の指定等を行う。ステップ 5 2 におけるこれらの指定は、C A D データに基いて行うこともできる。これらのステップ 5 1 及び 5 2 は、図 2 2 に示すステップ 1 に対応し、入力回路情報を入力する。

【 0 0 7 3 】

ステップ 5 3 は、ステップ 4 1 及び 4 2 を含み、図 4 に示すステップ 3 の一部も行う。従って、ステップ 5 3 からは、入力回路情報に対する回路のルールチェック及び配線のトポロジチェックを行った結果が出力される。

【 0 0 7 4 】

ステップ 5 4 は、ステップ 5 3 から出力される結果に基いて、入力回路情報を解析ネットモデル化すると共に、クロストークモデル化して、回路モデルを作成する。このステップ 5 4 は、図 4 に示すステップ 7 に対応する。

【 0 0 7 5 】

ステップ 5 5 は、ステップ 4 7, 4 8, 4 9 からなる。ステップ 4 7 は、作成された回路モデルを、回路シミュレータを用いて解析する。このステップ 4 7 は、図 4 に示すステップ 8 に対応する。ステップ 4 8 は、回路シミュレータの解析結果に基いて、問題となるノイズ、即ち、許容範囲を超えるノイズが発生するかどうかをチェックする。このようなノイズチェックは、回路シミュレータより出力される、例えば電子回路の配線を伝播する信号波形に存在するノイズを検出することで行う。又、ステップ 4 9 は、信号波形をチェックすることで、設計条件に合わない部分や、信号波形の異常箇所（エラー箇所）を検出することもできる。ステップ 4 8 は、図 4 に示すステップ 9 に対応する。

【 0 0 7 6 】

ステップ 4 9 は、ノイズチェックの結果を分類してノイズ対策を絞り込んだり、絞り込まれたノイズ対策をディスプレイ 1 0 2 に表示すると共に、アドバイスをディスプレイ 1 0 2 に表示する。ステップ 4 9 は、図 4 に示すステップ 1 0 及び 1 1 に対応する。従って、ステップ 4 9 は、設計条件とどのくらい合わないか

、どのような信号波形の異常がどのくらいの電圧及び時間で発生しているか等に基づいて、アドバイスツリーを用いた分析結果をアドバイスとして出力する。アドバイスツリーの各枝の先には、信号波形の異常を改善するための最適解が用意されているので、ノイズを含む各種異常に対する最適解が自動的にアドバイスとして出力される。ステップ 4 9 の後、処理はステップ 5 1 へ戻り、オペレータは異常に対して出力されたアドバイスに応じて回路修正を行う。

【 0 0 7 7 】

次に、ステップ 4 1 のルールチェックの判定内容及びステップ 4 2 の対応するアドバイスについて説明する。尚、判定内容及び対応するアドバイスは、以下のものに限定されるものではないことは言うまでもない。判定内容に対応するアドバイスは、例えばメモリ部 2 0 2 に格納されている。

【 0 0 7 8 】

例えば、判定内容が、「着目ドライバ素子に接続されていない（浮いている）素子やパターンがないこと」であると、判定結果が N O の場合の対応するアドバイスは、「浮いている素子やパターンを削除」である。判定内容が、「ループパターンがないこと」であると、判定結果が N O の場合の対応するアドバイスは、「ループを削除」である。判定内容が、「アンテナパターンがないこと」であると、判定結果が N O の場合の対応するアドバイスは、「アンテナを削除」である。判定内容が、「ネットが電源又は接地に直結していないこと」であると、判定結果が N O の場合の対応するアドバイスは、「ネットに直結している電源又は接地を削除」である。判定内容が、「1 個以上のレシーバ素子があること」であると、判定結果が N O の場合の対応するアドバイスは、「レシーバ素子の追加」である。判定内容が、「1 個以上のドライバ素子になり得る素子があること」であると、判定結果が N O の場合の対応するアドバイスは、「ドライバ素子の追加」である。更に、判定内容が、「負荷数チェック：推奨負荷数を満足すること」であると、判定結果が N O の場合の対応するアドバイスは、「駆動能力の強いドライバ素子に変更、又は、負荷数を推奨負荷数より減らす」である。

【 0 0 7 9 】

次に、ステップ 4 3 のトポロジチェックの判定内容及びステップ 4 4 の対応す

るアドバイスについて説明する。尚、判定内容及び対応するアドバイスは、以下のものに限定されるものではないことは言うまでもない。判定内容に対応するアドバイスは、例えばメモリ部 2 0 2 に格納されている。

【 0 0 8 0 】

図 2 4 は、片方向伝送の場合の負荷集中型の配線トポロジを示す図である。このような負荷集中型の場合、例えば判定内容が、「1 : 1 型の片方向伝送の場合、直列抵抗の数が 1 個以下である」であると、判定結果が N O の場合の対応するアドバイスは、「直列抵抗が余分にある場合、ダンピング抵抗が冗長なのでドライバ素子最寄の直列抵抗を残して他の抵抗は削除する」である。又、判定内容が、「1 : n 型の片方向伝送の場合、着目ドライバ素子から最初の分岐との間の直列抵抗の数が 1 個以下である」であると、判定結果が N O の場合の対応するアドバイスは、「直列抵抗が余分にある場合、ダンピング抵抗が冗長なのでドライバ素子最寄の直列抵抗を残して他の抵抗は削除する」である。

【 0 0 8 1 】

図 2 5 は、片方向伝送の場合のスター型の配線トポロジを示す図である。同図中、(a) , (b) はいずれもスター型の配線トポロジを示す。これらのようなスター型の場合、例えば判定内容が、「各分岐後のダンピング抵抗の数は 1 個以下である」であると、判定結果が N O の場合の対応するアドバイスは、「分岐後のダンピング抵抗が 2 個以上ある場合、ダンピング抵抗の数を 1 個にそろえる」である。

【 0 0 8 2 】

図 2 6 は、片方向伝送の場合のいもづる型の配線トポロジを示す図である。同図中、(a) , (b) はいずれもいもづる型の配線トポロジを示す。同図 (a) のようないもづる型の場合、例えば判定内容が、「着目ドライバ素子から最初の分岐との間のダンピング抵抗は 1 個以下である」であると、判定結果が N O の場合の対応するアドバイスは、「直列抵抗が余分にある場合、ダンピング抵抗が冗長なのでドライバ素子最寄の直列抵抗を残して他の抵抗は削除する」である。又、同図 (b) のようないもづる型の場合、例えば判定内容が「主線から分岐した配線の線長が所定の式を満たす」であると、判定結果が N O の場合の対応するア

ドバイスは、「判定内容を満たさない場合、配線の線長を所定の長さ以下にする」である。

【 0 0 8 3 】

上記第 8 及び第 9 実施例によれば、入力回路情報に対して段階的にチェックを行い、エラーが見つかった場合には適切なアドバイスを出力することで、早い段階でエラーを見つけてオペレータに回路修正を促すことができるので、回路修正の時間を効率的に短縮可能となる。

【 0 0 8 4 】

図 2 7 は、本発明になるノイズ対策決定方法及び装置及び記憶媒体の第 1 0 実施例が適用されるコンピュータシステム 1 0 0 における CPU 2 0 1 のノイズ対策決定処理を説明するためのフローチャートである。本実施例では、伝送波形の良否を判定する判定値を入力し、伝送波形解析をされる回路の伝送回路トポロジに応じて判定項目についての特性値を算出して、判定値内に収まっているか否かを自動的に判定する。この判定の結果、特性値が判定値内に収まっていなければ、改善案ファイル中の、伝送波形解析をされる回路の伝送回路トポロジに応じた改善案から、算出した特性値が判定値内に収まる最適な改善案を自動的に選定可能とする。

【 0 0 8 5 】

判定項目に、伝送波形解析を行った後の結果を用いる場合は、伝送波形の良否を判定する判定値を入力し、伝送波形解析をされる回路を伝送波形解析ツールを用いて解析し、判定値内に収まっているか否かを自動的に判定する。この判定の結果、特性値が判定値内に収まっていなければ、改善案ファイル中の、伝送波形解析をされる回路の伝送回路トポロジに応じた改善案から、算出した特性値が判定値内に収まる最適な改善案を自動的に選定可能とする。

【 0 0 8 6 】

伝送波形解析無しで回路の特性を算出するため、伝送波形解析をされる回路について、伝送回路トポロジの特徴が収められているファイルを参照して伝送回路トポロジを判別し、どの部分が伝送回路トポロジの基本型と異なっているかを自動的に判別する。この判別の結果、どこがどのように異なっているかを指摘し、

どのように変更すれば基本型と同等になるかを自動的に指摘可能とする。

【 0 0 8 7 】

図 2 7 において、ステップ 6 1 は、伝送波形解析をされる回路（以下、解析回路と言う）の情報を入力する。具体的には、例えばプリント板の配線データと、使用素子の電気的特性を所定のフォーマットで入力し、解析回路を解析可能とする。解析回路の情報は、ユーザが解析回路をディスプレイ 1 0 2 の表示画面 1 0 2 a 上で作成して入力する第 1 の方法で入力しても、C A D ツールから入力する第 2 の方法で入力しても良い。

【 0 0 8 8 】

第 1 の方法の場合、例えば表示画面 1 0 2 a 上に素子モデルを配置し、素子モデルがどのような素子に相当するかの素子の割り付けを行う。この際、受動部品等については、数値を入力する。素子間は、マウス 1 0 4 を使用してユーザの構想通りに配線で接続し、配線に対してセグメント毎にインピーダンスと配線長を入力する。尚、プリント板の断面図から導体の寸法と絶縁層の厚さを入力して、インピーダンスを自動的に計算して入力することもできる。

【 0 0 8 9 】

第 2 の方法の場合、既に素子間の配線の接続状態や素子の情報が入力済みの C A D ツールから、解析回路の情報を入力することができる。

【 0 0 9 0 】

ステップ 6 2 は、後述するステップ 6 7 における伝送特性値良否判定及びステップ 7 2 における伝送波形良否判定を行うための、伝送波形に関わる判定値を生成して入力する。入力された判定値は、判定値ファイル 8 2 として、例えばメモリ部 2 0 2 等の記憶手段に格納される。この判定値ファイル 8 2 には、ステップ 6 2 で入力された判定値の他に、解析回路の良否を判断するための判定値のデフォルト値も予め格納されている。

【 0 0 9 1 】

ステップ 6 2 では、解析回路毎に、遅延許容値、スキュー等の異なる項目の判定値が入力される。又、終端を入れる場所がない、部品の位置が変更できない等の、解析回路の特殊な条件からなる制御情報も、後述する改善案を選択するのに

使用する判定値として入力可能である。解析回路の特殊な条件からなる制御情報は、後述する改善案ファイル 8 4 にも格納される。他方、判定値ファイル 8 2 に格納されている判定値のデフォルト値には、使用素子が出力する波形の良否を判定する項目として、例えば素子の最大定格値や信号のハイレベル及びローレベルを認識する電圧値等の判定値のデフォルト値が含まれる。尚、マージンを見込んだ解析を行うために、ユーザが判定値ファイル 8 2 内の判定値のデフォルト値を変更可能な構成としても良い。

【 0 0 9 2 】

回路特徴ファイル 8 1 には、伝送回路トポロジを判定するのに使用する特徴情報が格納されている。この回路特徴ファイル 8 1 は、例えばメモリ部 2 0 2 等の記憶手段に格納されている。ステップ 6 3 は、回路特徴ファイル 8 1 に格納されている特徴情報に基づいて、伝送回路トポロジの判定を行う。具体的には、ステップ 6 1 で入力された解析回路が、どの伝送回路トポロジに分類されるかを判定する。回路特徴ファイル 8 1 に格納された特徴情報、即ち、項目を満足する数が一番多い伝送回路トポロジが、解析回路の伝送回路トポロジとして判定される。伝送回路トポロジは、配線の接続の仕方によって分類され、主なものには負荷集中型、スター型、いもづる型がある。ステップ 6 3 の後、処理はステップ 6 4 へ進む。

【 0 0 9 3 】

尚、ユーザがどの伝送回路トポロジで解析回路を構成したかが予めわかっている場合には、ステップ 6 3 の処理は不要であり、ステップ 6 1 の後に処理は直接ステップ 6 4 へ進む。

【 0 0 9 4 】

ステップ 6 4 は、ステップ 6 3 で判定した伝送回路トポロジの特徴情報、又は、ユーザから指定された伝送回路トポロジの特徴情報を、回路特徴ファイル 8 1 から読み出して、ステップ 6 1 で入力された解析回路が伝送回路トポロジの特徴を満足しているか否かを判断し、伝送回路トポロジの基本型に近づけるための解析回路の改善が必要であるか否かを判定する。解析回路が伝送回路トポロジの特徴を満足しているか否かの判断する際に使用する項目としては、例えば負荷集

中型であれば、負荷間の配線長が負荷集中とみなせる長さかどうか、スター型であれば、分岐後の分岐点から負荷までの配線長の差が同等とみなせる長さかどうか、いもづる型であれば、主線から分岐している配線の長さがいもづるとみなせる長さかどうか、等が含まれる。

【 0 0 9 5 】

つまり、ステップ 6 4 では、解析回路が伝送回路としての基本的な項目を守っているか否かを対応する項目の比較に基いて判断するルールチェックと、ユーザが想定した伝送回路トポロジの特徴を満足しているか否かを対応する項目の比較に基いて判断するトポロジチェックとを行う。

【 0 0 9 6 】

解析回路は、配線の仕方によっていくつかの伝送回路トポロジに分類することができ、夫々の伝送回路トポロジによって伝送波形が異なる。つまり、伝送回路トポロジによって伝送波形の改善案が異なり、ある伝送回路トポロジにおいて有効であった伝送波形の改善案が、他の伝送回路トポロジにおいてはかえって伝送波形を悪くしてしまう場合すらある。このように、伝送回路トポロジは、改善案を生成する上で重要な要素であるため、本実施例では、解析回路が伝送回路トポロジの特徴からどの伝送回路トポロジに分類されるのかを調べる。

【 0 0 9 7 】

ステップ 6 5 は、ステップ 6 4 において解析回路が伝送回路トポロジの特徴を満足しなかった項目について、どこ部分かどのような理由で特徴を満足していないのか、判定値とどのくらいの差があるのか、更に、どうすれば特徴を満足するのか等を、回路良否判定結果としてディスプレイ 1 0 2 の表示画面 1 0 2 a に表示し、処理はステップ 6 1 へ戻る。従って、ユーザは、表示された回路良否判定結果に基いて、ステップ 6 1 において解析回路の基本的な項目を修正する。

【 0 0 9 8 】

ステップ 6 6 は、ステップ 6 4 において伝送回路トポロジの特徴を満足している解析回路について、伝送特性値を、判定値ファイル 8 2 に格納された伝送回路トポロジ毎に用意された算出式に基いて算出する。算出式は、例えば解析回路のドライバ素子の駆動能力、配線のインピーダンス、ダンピング抵抗値等から、信

号がレシーバ素子に伝わったときの電圧値、信号がレシーバ素子に伝わるまでの時間、レシーバ素子で反射された波形が更にドライバ素子で反射されてレシーバ素子へ伝わったときの電圧値、レシーバ素子で反射された波形が更にドライバ素子で反射されてレシーバ素子へ伝わるまでの時間等を含む伝送特性値を算出するのに使用される。使用される算出式は、伝送回路トポロジに応じて使い分けられる。

【0099】

ステップ67は、解析回路について、ステップ66で算出した伝送特性値と、判定値ファイル82に格納された判定値とを比較することで、伝送特性値の良否を自動的に判定する。具体的には、算出した電圧値や時間等の伝送特性値が、判定値を満足しているか否かを判定し、満足しないと判定された場合には、解析回路の改善が必要であることがわかる。

【0100】

ステップ68は、ステップ67における伝送特性値の良否の判定において伝送特性値が判定値を満足しなかった項目について、項目の組み合わせに応じてエラーの要因を分析する。エラー要因の分析は、エラー要因ファイル83に格納されているエラー項目とエラー要因判定ツリーを参照する。このエラー要因ファイル83は、例えばメモリ部202等の記憶手段に格納されており、エラー要因判定ツリーは、エラー項目とエラー項目の組み合わせにより、エラー要因が何であるかをツリー状に分類して記載している。従って、エラー要因の分析時にこのエラー要因ファイル83内のエラー要因判定ツリーを参照することで、エラー要因が何であるかを分析することができる。

【0101】

つまり、ステップ67における伝送特性値の良否の判定において伝送特性値が判定値を満足しなかった場合には、判定値を満足しなかった解析回路の伝送回路トポロジ、判定値を満足しなかった項目の組み合わせ、判定値との差等をキーとしてエラー要因ファイル83内のエラー要因判定ツリーを参照することで、エラー要因を特定することができる。例えば、伝送回路トポロジが1:1型であり、伝送波形が段付きでエラーとなると、伝送波形の段付きでのエラー要因は、ダン

ピング抵抗値が大きい、又は、ドライバ素子の駆動能力が小さいからと特定される。

【0102】

ステップ69は、ステップ67における伝送特性値の良否の判定の結果、判定値を満足しない項目があると、どの項目で満足しなかったか、判定値をどのくらい超えてしまったのか等を含む、ステップ69で求めたエラー要因を取り込み、判定値を満足しない項目の組み合わせと判定値を超える度合いとに基いて、改善案ファイル84に格納されている改善案の中から、最適な改善案を選択する。改善案ファイル84は、例えばメモリ部202等の記憶手段に格納されており、伝送回路トポロジ、判定値を超えた項目、どのくらい判定値を超えているか等のエラー要因の組み合わせに応じた改善案を格納している。改善案ファイル84内の改善案は、予め波形解析等により検証済みであり、最適な改善案を選択することで、他の判定項目が判定値を超えることはない。

【0103】

つまり、伝送特性値の良否の判定の結果、伝送特性値が不良であると、その判定項目からエラー要因を分析し、改善案ファイル84から最適な改善案を選択する。伝送特性値が不良と判定される判定項目が発生すると、改善案としては、例えばダンピング抵抗値を小さくする、駆動能力の大きなドライバ素子に変更する等の改善案が考えられる。そこで、ダンピング抵抗値を小さくできる場合には、ダンピング抵抗値を変更する改善案を選択し、ダンピング抵抗を無くしても伝送特性値が不良であるとドライバ素子を変更する改善案を選択するといった、状況に応じた選択ツリーを改善案ファイル83内に用意しておくことで、最適な改善案を選択することが可能となる。

【0104】

ステップ70は、ステップ69において選択された最適な改善案、即ち、ノイズ対策を、ディスプレイ102の表示画面102aに表示する。表示される改善案には、ステップ67において判定値を満足しなかった項目について、どこの部分がどのような理由で判定値を満足していないのか、判定値との差、どうすれば判定値を満足するのか等が含まれ、ステップ70の後、処理はステップ61へ戻

る。従って、ユーザは、表示された改善案に基づいて、ステップ 6 1 において解析回路の対応する項目を修正する。又、ユーザは、この時点では解析回路の対応する項目を修正せずに、後述する伝送波形の解析結果を得てから、改善案及び伝送波形の解析結果に基づいて解析回路の対応する項目を修正するようにしても良い。

【 0 1 0 5 】

解析回路が、伝送回路トポロジの基本型に近ければ近い程、回路理論から得られる伝送特性値の算出式で伝送特性値を算出できるので、改善案毎にその都度波形解析を行わなくても、解析回路の良否を判定するのに使用する伝送特性値を得ることができる。このため、解析回路と分類された伝送回路トポロジの基本型とを比較し、基本型と大きく異なる部分があれば改善案を生成して基本型に近づけるようユーザに促すことにより、波形解析を行わずに解析回路の良否を判定して、処理時間の短縮を図ることができる。又、解析回路が伝送回路トポロジの基本型に近い場合、適切な改善案を生成しやすく、ユーザの熟練度に左右されない改善案を自動的に生成できる。

【 0 1 0 6 】

尚、図 2 7 中、破線で処理の流れを示すように、ステップ 6 4 における解析回路の良否の判定の後、ステップ 6 6 ～ 7 0 は省略して、後述する伝送波形の解析を行うステップ 7 1 に処理を進めるようにしても良い。

【 0 1 0 7 】

ステップ 7 1 は、伝送波形解析ツールを用いて、伝送波形がどのようなかをシミュレーションにより求めて伝送波形の解析結果を得る。伝送波形の解析結果は、例えば伝送波形の段付き、オーバーシュート、アンダーシュート、波形割れ、遅延時間オーバー等を含む。

【 0 1 0 8 】

ステップ 7 2 は、ステップ 7 1 で得られた伝送波形の解析結果と、判定値ファイル 8 2 に格納されている判定値とを比較することで、伝送波形の良否を自動的に判定する。具体的には、解析結果中の電圧値や時間等が、判定値を満足しているか否かを判定し、満足しないと判定された場合には、解析回路の改善が必要であることがわかる。

【 0 1 0 9 】

ステップ 7 3 は、ステップ 7 2 における伝送波形の良否の判定において伝送波形が判定値を満足しなかった項目について、項目の組み合わせに応じてエラーの要因を分析する。エラー要因の分析は、エラー要因ファイル 8 3 に格納されているエラー項目とエラー要因判定ツリーを参照する。エラー要因判定ツリーは、エラー項目とエラー項目の組み合わせにより、エラー要因が何であるかをツリー状に分類して記載している。従って、エラー要因の分析時にこのエラー要因ファイル 8 3 内のエラー要因判定ツリーを参照することで、エラー要因が何であるかを分析することができる。

【 0 1 1 0 】

つまり、ステップ 7 2 における伝送波形の良否の判定において伝送波形が判定値を満足しなかった場合には、判定値を満足しなかった解析回路の伝送回路トポロジ、判定値を満足しなかった項目の組み合わせ、判定値との差等をキーとしてエラー要因ファイル 8 3 内のエラー要因判定ツリーを参照することで、エラー要因を特定することができる。例えば、伝送回路トポロジがいもづる型であり、伝送波形が遅延時間オーバー及び段付きで夫々エラーとなると、伝送波形の遅延時間オーバーでのエラーの要因は段付きが発生しているため、伝送波形の段付きでのエラー要因は、判定したレシーバ素子の位置が主線の途中から分岐したところに位置しており最遠端のレシーバ素子から離れすぎているため、段の付いている時間が長くなって遅延時間オーバーが発生しているからと特定される。

【 0 1 1 1 】

ステップ 7 4 は、ステップ 7 2 における伝送波形の良否の判定の結果、判定値を満足しない項目があると、どの項目で満足しなかったか、判定値をどのくらい超えてしまったのか等を取り込み、判定値を満足しない項目の組み合わせと判定値を超える度合いとに基いて、改善案ファイル 8 4 に格納されている改善案の中から、最適な改善案を選択する。

【 0 1 1 2 】

つまり、伝送波形の良否の判定の結果、伝送波形が不良であると、その判定項目からエラー要因を分析し、改善案ファイル 8 4 から最適な改善案を選択する。

伝送波形が不良と判定される判定項目が発生すると、改善案としては、例えば判定したレシーバ素子の位置を最遠端側に移動して段の付いている時間を短くする、最遠端のレシーバ素子で伝送波形が反射しないように終端抵抗を設ける等の改善案が考えられる。そこで、ステップ 6 2 において入力し、改善案ファイル 8 4 に格納されている、解析回路の特殊な条件からなる制御情報に基いて、レシーバ素子の位置が変更できない条件下であれば、終端抵抗を設ける改善案を選択し、終端抵抗が設けられない条件下であれば、レシーバ素子の位置を変更する改善案を選択するといった、状況に応じた選択ツリーを改善案ファイル 8 3 内に用意しておくことで、設計制限を考慮した最適な改善案を選択することが可能となる。

【 0 1 1 3 】

ステップ 7 5 は、ステップ 7 4 において選択された最適な改善案、即ち、ノイズ対策を、ディスプレイ 1 0 2 の表示画面 1 0 2 a に表示する。表示される改善案には、ステップ 7 2 において判定値を満足しなかった項目について、どこの部分がどのような理由で判定値を満足していないのか、判定値との差、どうすれば判定値を満足するのか等が含まれ、ステップ 7 5 の後、処理はステップ 6 1 へ戻る。従って、ユーザは、表示された改善案に基いて、ステップ 6 1 において解析回路の対応する項目を修正する。

【 0 1 1 4 】

次に、具体的な例として、伝送回路トポロジがスター型の 1 : 2 型の解析回路の場合について、本実施例の処理を、図 2 8 ~ 図 3 1 と共に説明する。図 2 8 は、伝送回路トポロジがスター型の 1 : 2 型の解析回路を示す図である。図 2 8 中、三角印は素子を示し、左側の 1 つの素子がドライバ素子、右側の 2 つの素子がレシーバ素子である。又、図 2 8 中、a ~ c はノードを示す。

【 0 1 1 5 】

この場合、ステップ 6 4 の解析回路の良否の判定の結果、素子の繋がっていないアンテナパターンがあることがわかり、ステップ 6 5 は、「ノード a からのアンテナパターンを削除して下さい」なる回路良否判定結果を表示する。又、ステップ 6 4 の解析回路の良否の判定の結果、伝送回路トポロジがスター型であるのにノード a から各々のレシーバ素子までの配線の長さが異なることもわかり、ス

テップ 6 5 は、「ノード a - b 間の配線をノード a - c 間の配線と同じ長さに変更して下さい」なる回路良否判定結果も表示する。ユーザが、これらの回路良否判定結果に対して解析回路の修正を行うことにより、図 2 8 に示す解析回路は、図 2 9 に示すように改善される。図 2 9 は、図 2 8 の解析回路の良否判定の結果改善された回路を示す図である。

【 0 1 1 6 】

図 2 9 に示す解析回路において、駆動能力が非常に大きいドライバ素子を使用されていたとする。この場合、ステップ 6 6 が、伝送特性値として、スター型のレシーバ素子電圧を算出すると、レシーバ素子の最大定格電圧を超えることがわかる。従って、ステップ 6 7 の伝送特性値の良否の判定、ステップ 6 8 のエラー要因の分析及びステップ 6 9 の改善案の選択の結果、ステップ 7 0 では、「ドライバ素子とノード a との間に $X \Omega$ のダンピング抵抗を挿入して下さい」なる改善案を表示する。ユーザが、この改善案に対して解析回路の修正（改善）を行うことにより、図 2 9 に示す解析回路は、図 3 0 に示すように改善される。図 3 0 は、図 2 9 の解析回路の伝送特性値の良否判定の結果改善された回路を示す図である。

【 0 1 1 7 】

図 3 0 に示す解析回路において、レシーバ素子の入力容量の差が大きく、伝送波形に段付きが発生しているとする。この場合、ステップ 7 1 の伝送波形の解析により伝送波形の段付きが検出され、ステップ 7 2 の伝送波形の良否の判定、ステップ 7 3 のエラー要因の分析及びステップ 7 4 の改善案の選択の結果、ステップ 7 5 では、「ノード a - b 間、ノード a - c 間に $Y \Omega$ の抵抗を挿入して下さい」なる改善案を表示する。ユーザが、この改善案に対して解析回路の修正（改善）を行うことにより、図 3 0 に示す解析回路は、図 3 1 に示すように改善される。図 3 1 は、図 3 0 の解析回路の伝送波形の良否判定の結果改善された回路を示す図である。

【 0 1 1 8 】

次に、ステップ 6 8 におけるエラー要因の分析の具体例について、図 3 2 ～図 3 4 と共に説明する。説明の便宜上、解析回路の伝送回路トポロジが 1 : 1 型で

、伝送特性値の良否判定の結果、レシーバ素子の電圧が小さいと判定された場合のエラー要因分析を説明する。図 3 2 は、エラー要因を分析される解析回路を示す図である。同図中、解析回路は、三角印で示すドライバ素子、四角印で示すダンピング抵抗及び三角印で示すレシーバ素子からなる。

【 0 1 1 9 】

エラー要因の分析は、1 : 1 型、スター型、いもづる型等の伝送回路トポロジ毎に分析される。図 3 3 は、伝送回路トポロジが 1 : 1 型の場合のエラー要因の分析項目を示す図である。同図に示す分析項目中、「レシーバの電圧小」はレシーバ素子の電圧が小さいという項目、「最大定格電圧超え」は最大定格電圧を超えているという項目、「ディレイオーバー」は遅延時間オーバーであるという項目を示し、右側に示すエラー要因に対応する項目には「×」印が付されている。例えば、「ディレイオーバー」という項目に対応するエラー要因は、「配線が長い」である。

【 0 1 2 0 】

図 3 4 は、図 3 2 及び図 3 3 の場合の改善案ファイル 8 4 内の一部を説明する図である。図 3 4 に示すように、改善案ファイル 8 4 内には、各エラー要因に対して、改善案が「対策案」として記載されており、又、状況に応じた選択ツリーによる判断が「ツリーの判断」として記載されている。例えば、「配線が長い」というエラー要因に対する対策案は、「配線長を短くする」であり、ツリーの判断は特にない。

【 0 1 2 1 】

次に、ステップ 7 3 におけるエラー要因の分析の具体例について、図 3 5 ～図 3 7 と共に説明する。説明の便宜上、解析回路の伝送回路トポロジがいもづる型で、伝送波形の良否判定の結果、遅延時間オーバー及び伝送波形の段付きと判定された場合のエラー要因分析を説明する。図 3 6 は、エラー要因を分析される解析回路を示す図である。同図中、解析回路は、三角印で示すドライバ素子、四角印で示すダンピング抵抗及び三角印で示す 2 つのレシーバ素子からなる。

【 0 1 2 2 】

エラー要因の分析は、1 : 1 型、スター型、いもづる型等の伝送回路トポロジ

毎に分析される。図 3 6 は、伝送回路トポロジがいもづる型の場合のエラー要因の分析項目を示す図である。同図に示す分析項目中、「段付き」は伝送波形に段付きが発生しているという項目、「波形割れ」は伝送波形割れが発生しているという項目、「ディレイオーバー」は遅延時間オーバーであるという項目を示し、右側に示すエラー要因に対応する項目には「×」印が付されている。例えば、「段付き」及び「ディレイオーバー」という両方の項目に対応するエラー要因は、「段付きが発生している」である。

【 0 1 2 3 】

図 3 7 は、図 3 5 及び図 3 6 の場合の改善案ファイルを説明する図である。図 3 7 に示すように、改善案ファイル 8 4 内には、各エラー要因に対して、改善案が「対策案」として記載されており、又、解析回路の特殊な条件からなる制御情報が「特殊条件」として記載されている。例えば、「段付きが発生している」というエラー要因に対応する対策案の 1 つは、「ダンピング抵抗値を小さくする」であり、対応する特殊条件は「+終端抵抗不可」である。

【 0 1 2 4 】

尚、図 8 に示す第 3 実施例と比較すると、図 2 7 に示す本実施例におけるステップ 6 1 は図 8 のステップ 1、ステップ 6 9 は図 8 のステップ 5、ステップ 7 0 は図 8 のステップ 6、ステップ 7 1 は図 8 のステップ 7、8、ステップ 7 2 は図 8 のステップ 9、ステップ 7 3、7 4 は図 8 のステップ 1 0、ステップ 7 5 は図 8 のステップ 1 1 に大略対応する。又、図 2 2 に示す第 8 実施例と比較すると、図 2 7 に示す本実施例におけるステップ 6 4 は、図 2 2 のステップ 4 1、4 3 に対応する。

【 0 1 2 5 】

このように、本実施例では、解析回路を、伝送回路トポロジ毎に分類することにより改善案を絞り込み、最適な改善案を選択するのに要する処理時間を短縮できる。又、改善案の絞り込みは、伝送波形の解析の前後に関係なく、自動的に行えるので、ユーザの熟練度に左右されない最適な改善案を生成することができる。

【 0 1 2 6 】

他方、伝送波形の解析の後に改善案を絞り込む場合、最初に解析回路を伝送回路トポロジで分類して改善案を絞り込み、更に伝送波形の解析結果から例えばエラー内容の組み合わせによって改善案を絞り込むことで、２段階の絞り込みで最適な改善案を短い処理時間で自動的に選択することができる。

【 0 1 2 7 】

上記第 1 0 実施例によれば、自動的に解析回路の改善案が選択されるため、ユーザの熟練度に関係なく、最適な改善案を選択することが可能である。又、改善案は、伝送回路トポロジ毎に分類されるため、伝送波形の解析を行うことなく、解析回路の伝送特性を算出式に基いて算出することができ、処理時間の短縮が図れる。伝送特性の判定結果を用いて改善案を自動的に絞り込めば、最適な改善案が選択できる。更に、改善案を、伝送回路トポロジ毎に分類しているので、改善案の絞り込みが容易に行えると共に、最適な改善案を見つけやすいので、この点からも処理時間が短縮でき、改善案の制度も向上する。

【 0 1 2 8 】

本発明は、以下に付記する発明をも包含するものである。

【 0 1 2 9 】

（付記 1） 対象となる回路のうち、少なくとも 1 つのネット分の入力回路情報に基いて、計算式によりノイズが最小となると考えられる推奨回路情報を算出する推奨回路情報算出ステップと、

該入力回路情報と該推奨回路情報との比較し、異なる部分の推奨回路情報をノイズ対策として決定するノイズ対策決定ステップとを含むことを特徴とする、ノイズ対策決定方法。

（付記 2） 前記ノイズ対策の決定後に、前記入力回路情報のシミュレーションモデルを作成する回路モデル作成ステップと、

該シミュレーションモデルを用いて回路シミュレーションを行い、前記回路の配線を伝播する信号波形を算出して信号波形に許容範囲を超えるノイズが存在するか否かをチェックするシミュレーション・チェックステップと、

ノイズチェックの結果存在するノイズを分類して、決定されたノイズ対策をノイズに関係する部分のみに絞り込むノイズ対策絞り込みステップとを更に含むこ

とを特徴とする、（付記 1）記載のノイズ対策決定方法。

（付記 3） 前記推奨回路情報算出ステップは、前記回路の正常動作を保証する最小電圧 V_{IH-1} と最大電圧 V_{IH-2} に基き、該回路の受信側入力波形の 1 回目の立ち上がり電圧が最小電圧 V_{IH-1} と等しくなるダンピング抵抗値を最大値とし、受信側入力波形の 1 回目の立ち上がり電圧が最大電圧 V_{IH-2} と等しくなるダンピング抵抗値を最小値として、該ダンピング抵抗値の範囲を推奨回路情報として出力することを特徴とする、（付記 1）記載のノイズ対策決定方法。

【0130】

（付記 4） 前記推奨回路情報算出ステップは、リングバック時の電圧が前記最小電圧 V_{IH-1} と等しくなるダンピング抵抗値と、求められた前記ダンピング抵抗値の最小値とを比較し、大きい方の値をダンピング抵抗値の最小値として出力することを特徴とする、（付記 3）記載のノイズ対策決定方法。

【0131】

（付記 5） 前記回路を構成する部品ピンの位置と配線トポロジとに基いて決定されるマンハッタン長を配線長として含む入力回路情報を出力する回路情報出力ステップを更に含むことを特徴とする、（付記 1）記載のノイズ対策決定方法。

【0132】

（付記 6） 前記ノイズ対策の決定後に、前記入力回路情報のシミュレーションモデルを作成する回路モデル作成ステップと、

該シミュレーションモデルを用いて回路シミュレーションを行い、前記回路の配線を伝播する信号波形を算出して信号波形に許容範囲を超えるノイズが存在するか否かをチェックするシミュレーション・チェックステップと、

該回路モデル作成ステップ及び該シミュレーション・チェックステップを複数の配線トポロジを用いて繰り返し、ノイズチェックの結果から最適な配線トポロジを決定して前記回路情報出力ステップで用いることで、前記ノイズ対策決定ステップで該最適な配線トポロジをノイズ対策として決定することを特徴とする、

（付記 5）記載のノイズ対策決定方法。

【 0 1 3 3 】

(付記 7) 前記ノイズ対策の決定後に、解析対象となる着目ネットの回路情報と着目ネットに隣接する隣接ネットの回路情報とからなる入力回路情報のシミュレーションモデルを作成する回路モデル作成ステップと、

該シミュレーションモデルを用いて回路シミュレーションを行い、該着目ネットを伝播する信号波形とクロストークノイズ波形を算出して合成することでノイズ合成波形を求め、該ノイズ合成波形に基いて許容範囲を超えるノイズが存在するか否かをチェックするシミュレーション・チェックステップと、

ノイズチェックの結果存在するノイズを分類して、決定されたノイズ対策をノイズに関係する部分のみに絞り込むノイズ対策絞り込みステップとを更に含むことを特徴とする、(付記 1) 記載のノイズ対策決定方法。

【 0 1 3 4 】

(付記 8) 前記回路モデル作成ステップは、前記近接ネットの回路情報が、前記着目ネットと同一構成のネットが一定のパターンギャップで隣接しているものとしてシミュレーションモデルを作成することを特徴とする、(付記 7) 記載のノイズ対策決定方法。

【 0 1 3 5 】

(付記 9) 該回路モデル作成ステップ及び該シミュレーション・チェックステップをパターンギャップを変更しながら繰り返し、ノイズチェックの結果からノイズが許容範囲を超えない最小のパターンギャップを求め、前記ノイズ対策決定ステップで該最小のパターンギャップをノイズ対策として決定することを特徴とする、(付記 5) 記載のノイズ対策決定方法。

【 0 1 3 6 】

(付記 1 0) 対象となる回路のうち、少なくとも 1 つのネット分の入力回路情報に基いて、計算式によりノイズが最小となると考えられる推奨回路情報を算出する推奨回路情報算出手段と、

該入力回路情報と該推奨回路情報との比較し、異なる部分の推奨回路情報をノイズ対策として決定するノイズ対策決定手段とを備えたことを特徴とする、ノイズ対策決定装置。

（付記 1 1） 前記ノイズ対策の決定後に、前記入力回路情報のシミュレーションモデルを作成する回路モデル作成手段と、

該シミュレーションモデルを用いて回路シミュレーションを行い、前記回路の配線を伝播する信号波形を算出して信号波形に許容範囲を超えるノイズが存在するか否かをチェックするシミュレーション・チェック手段と、

ノイズチェックの結果存在するノイズを分類して、決定されたノイズ対策をノイズに関係する部分のみに絞り込むノイズ対策絞り込み手段とを更に備えたことを特徴とする、（付記 1 0）記載のノイズ対策決定装置。

【 0 1 3 7 】

（付記 1 2） 前記推奨回路情報算出手段は、前記回路の正常動作を保証する最小電圧 V_{IH-1} と最大電圧 V_{IH-2} に基き、該回路の受信側入力波形の 1 回目の立ち上がり電圧が最小電圧 V_{IH-1} と等しくなるダンピング抵抗値を最大値とし、受信側入力波形の 1 回目の立ち上がり電圧が最大電圧 V_{IH-2} と等しくなるダンピング抵抗値を最小値として、該ダンピング抵抗値の範囲を推奨回路情報として出力することを特徴とする、（付記 1 0）記載のノイズ対策決定装置。

【 0 1 3 8 】

（付記 1 3） 前記推奨回路情報算出手段は、リングバック時の電圧が前記最小電圧 V_{IH-1} と等しくなるダンピング抵抗値と、求められた前記ダンピング抵抗値の最小値とを比較し、大きい方の値をダンピング抵抗値の最小値として出力することを特徴とする、（付記 1 2）記載のノイズ対策決定装置。

【 0 1 3 9 】

（付記 1 4） 前記回路を構成する部品ピンの位置と配線トポロジとに基いて決定されるマンハッタン長を配線長として含む入力回路情報を出力する回路情報出力手段を更に備えたことを特徴とする、（付記 1 0）記載のノイズ対策決定装置。

【 0 1 4 0 】

（付記 1 5） 前記ノイズ対策の決定後に、前記入力回路情報のシミュレーションモデルを作成する回路モデル作成手段と、

該シミュレーションモデルを用いて回路シミュレーションを行い、前記回路の配線を伝播する信号波形を算出して信号波形に許容範囲を超えるノイズが存在するか否かをチェックするシミュレーション・チェック手段と、

該回路モデル作成手段及び該シミュレーション・チェック手段の処理を複数の配線トポロジを用いて繰り返し、ノイズチェックの結果から最適な配線トポロジを決定して前記回路情報出力手段で用いることで、前記ノイズ対策決定手段で該最適な配線トポロジをノイズ対策として決定することを特徴とする、（付記 1 4）記載のノイズ対策決定装置。

【 0 1 4 1 】

（付記 1 6） 前記ノイズ対策の決定後に、解析対象となる着目ネットの回路情報と着目ネットに隣接する隣接ネットの回路情報とからなる入力回路情報のシミュレーションモデルを作成する回路モデル作成手段と、

該シミュレーションモデルを用いて回路シミュレーションを行い、該着目ネットを伝播する信号波形とクロストークノイズ波形を算出して合成することでノイズ合成波形を求め、該ノイズ合成波形に基いて許容範囲を超えるノイズが存在するか否かをチェックするシミュレーション・チェック手段と、

ノイズチェックの結果存在するノイズを分類して、決定されたノイズ対策をノイズに関係する部分のみに絞り込むノイズ対策絞り込み手段とを更に備えたことを特徴とする、（付記 1 0）記載のノイズ対策決定装置。

【 0 1 4 2 】

（付記 1 7） 前記回路モデル作成手段は、前記近接ネットの回路情報が、前記着目ネットと同一構成のネットが一定のパターンギャップで隣接しているものとしてシミュレーションモデルを作成することを特徴とする、（付記 1 6）記載のノイズ対策決定装置。

【 0 1 4 3 】

（付記 1 8） 該回路モデル作成手段及び該シミュレーション・チェック手段の処理をパターンギャップを変更しながら繰り返し、ノイズチェックの結果からノイズが許容範囲を超えない最小のパターンギャップを求め、前記ノイズ対策決定手段で該最小のパターンギャップをノイズ対策として決定することを特徴とす

る、（付記 1 4）記載のノイズ対策決定装置。

【 0 1 4 4 】

（付記 1 9） コンピュータにノイズ対策を決定させるプログラムを格納したコンピュータ読み取り可能な記憶媒体であって、

コンピュータに、対象となる回路のうち、少なくとも 1 つのネット分の入力回路情報に基いて、計算式によりノイズが最小となると考えられる推奨回路情報を算出させる推奨回路情報算出手順と、

コンピュータに、該入力回路情報と該推奨回路情報との比較し、異なる部分の推奨回路情報をノイズ対策として決定させるノイズ対策決定手順とを行わせることを特徴とする、記憶媒体。

（付記 2 0） 前記入力回路情報に対して、回路のルールチェック及び配線のトポロジチェックのうち、少なくとも一方を行うチェックステップを更に含むことを特徴とする、（付記 1）記載のノイズ対策決定方法。

【 0 1 4 5 】

（付記 2 1） 前記チェックステップのチェック結果に基いたアドバイスを出力するアドバイスステップを更に含むことを特徴とする、（付記 2 0）記載のノイズ対策決定方法。

【 0 1 4 6 】

（付記 2 2） 前記アドバイスステップが出力するアドバイスに基いて、前記入力回路情報を修正するステップを更に含むことを特徴とする、（付記 2 1）記載のノイズ対策決定方法。

【 0 1 4 7 】

（付記 2 3） 解析される解析回路に対するノイズ対策決定方法であって、
該解析回路と伝送回路トポロジの特徴との比較に基いて該解析回路の良否を判定し、回路良否判定結果に応じて該解析回路を伝送回路トポロジの基本型に近づけるための改善案を出力する回路良否判定・出力ステップを含むことを特徴とする、ノイズ対策決定方法。

（付記 2 4） 前記回路良否判定結果及び伝送回路トポロジに応じた算出式に基いて、前記解析回路の伝送特性値を算出する算出ステップと、

判定値に基いて、前記伝送特性値の良否を判定して特性値判定結果を求める特性値判定ステップと、

前記特性値判定結果を用いて、エラー項目に応じたエラー要因を示すエラー要因ファイルを参照し、エラー要因を分析する第 1 のエラー要因分析ステップと、

前記エラー要因を用いて、エラー要因に応じた改善案を示す改善案ファイルを参照し、改善案を選択して出力する第 1 の改善案選択・出力ステップとを更に含むことを特徴とする、（付記 2 3）記載のノイズ対策決定方法。

【 0 1 4 8 】

（付記 2 5） 波形解析ツールを用いて前記解析回路の伝送波形をシミュレーションにより解析する波形解析ステップと、

前記判定値に基いて、前記伝送波形の良否を判定して波形判定結果を求める波形判定ステップと、

前記波形判定結果を用いて、前記エラー要因ファイルを参照し、エラー要因を分析する第 2 のエラー要因分析ステップと、

前記第 2 のエラー要因分析ステップで分析された前記エラー要因を用いて、前記改善案ファイルを参照し、改善案を選択して出力する第 2 の改善案選択・出力ステップとを更に含むことを特徴とする、（付記 2 3）記載のノイズ対策決定方法。

【 0 1 4 9 】

（付記 2 6） 前記回路良否判定結果及び波形解析ツールを用いて、前記解析回路の伝送波形をシミュレーションにより解析する波形解析ステップと、

判定値に基いて、前記伝送波形の良否を判定して波形判定結果を求める波形判定ステップと、

前記波形判定結果を用いて、エラー項目に応じたエラー要因を示すエラー要因ファイルを参照し、エラー要因を分析するエラー要因分析ステップと、

前記エラー要因を用いて、エラー要因に応じた改善案を示す改善案ファイルを参照し、改善案を選択して出力する改善案選択・出力ステップとを更に含むことを特徴とする、（付記 2 3）記載のノイズ対策決定方法。

【 0 1 5 0 】

（付記 2 7） 伝送回路トポロジを判定するのに使用する特徴情報が格納された回路特徴ファイルを参照して、前記解析回路の伝送回路トポロジを判定するトポロジ判定ステップを更に含むことを特徴とする、（付記 2 3）～（付記 2 6）のいずれか 1 項記載のノイズ対策決定方法。

【 0 1 5 1 】

（付記 2 8） 解析される解析回路に対するノイズ対策決定装置であって、該解析回路と伝送回路トポロジの特徴との比較に基いて該解析回路の良否を判定し、回路良否判定結果に応じて該解析回路を伝送回路トポロジの基本型に近づけるための改善案を出力する回路良否判定・出力手段を備えたことを特徴とする、ノイズ対策決定装置。

【 0 1 5 2 】

（付記 2 9） 前記回路良否判定結果及び伝送回路トポロジに応じた算出式に基いて、前記解析回路の伝送特性値を算出する算出手段と、

判定値に基いて、前記伝送特性値の良否を判定して特性値判定結果を求める特性値判定手段と、

前記特性値判定結果を用いて、エラー項目に応じたエラー要因を示すエラー要因ファイルを参照し、エラー要因を分析する第 1 のエラー要因分析手段と、

前記エラー要因を用いて、エラー要因に応じた改善案を示す改善案ファイルを参照し、改善案を選択して出力する第 1 の改善案選択・出力手段とを更に備えたことを特徴とする、（付記 2 8）記載のノイズ対策決定装置。

【 0 1 5 3 】

（付記 3 0） 波形解析ツールを用いて前記解析回路の伝送波形をシミュレーションにより解析する波形解析手段と、

前記判定値に基いて、前記伝送波形の良否を判定して波形判定結果を求める波形判定手段と、

前記波形判定結果を用いて、前記エラー要因ファイルを参照し、エラー要因を分析する第 2 のエラー要因分析手段と、

前記第 2 のエラー要因分析手段で分析された前記エラー要因を用いて、前記改善案ファイルを参照し、改善案を選択して出力する第 2 の改善案選択・出力手段

とを更に備えたことを特徴とする、（付記 2 9）記載のノイズ対策決定装置。

【 0 1 5 4 】

（付記 3 1） 伝送回路トポロジを判定するのに使用する特徴情報が格納された回路特徴ファイルを参照して、前記解析回路の伝送回路トポロジを判定するトポロジ判定手段を更に備えたことを特徴とする、（付記 2 8）～（付記 3 0）のいずれか 1 項記載のノイズ対策決定装置。

【 0 1 5 5 】

（付記 3 2） コンピュータに、解析される解析回路の対するノイズ対策を決定させるプログラムを格納したコンピュータ読み取り可能な記憶媒体であって

コンピュータに、該解析回路と伝送回路トポロジの特徴との比較に基いて該解析回路の良否を判定させ、回路良否判定結果に応じて該解析回路を伝送回路トポロジの基本型に近づけるための改善案を出力させる回路良否判定・出力手順を行わせることを特徴とする、記憶媒体。

【 0 1 5 6 】

以上、本発明を実施例により説明したが、本発明は上記実施例に限定されるものではなく、本発明の範囲内で種々の変形及び改良が可能であることは、言うまでもない。

【 0 1 5 7 】

【発明の効果】

本発明によれば、ノイズ対策を決定する際に回路シミュレータの実行を最小限に抑えることが可能で、設計工程に手作業で繰り返す後戻り処理が必要な部分を発生することなく高速にノイズ対策を決定することのできるノイズ対策決定方法及び装置並びに記憶媒体を実現できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施例において本発明が適用されるコンピュータシステムを示す斜視図である。

【図 2】

コンピュータシステムの本体部内の要部の構成を説明するブロック図である。

【図 3】

第 1 実施例における CPU のノイズ対策決定処理を説明するためのフローチャートである。

【図 4】

第 2 実施例における CPU のノイズ対策決定処理を説明するためのフローチャートである。

【図 5】

入力回路情報を説明する図である。

【図 6】

1 回目の立ち上がり電圧と、回路の最大電圧、最小電圧との関係を示す図である。

【図 7】

リングバック時の電圧と回路の最小電圧との関係を示す図である。

【図 8】

第 3 実施例における CPU のノイズ対策決定処理を説明するためのフローチャートである。

【図 9】

配線の引き回しを行わずに I/O バッファの配置位置を入力する場合を示す図である。

【図 1 0】

第 4 実施例が適用されるコンピュータシステムにおける CPU のノイズ対策決定処理を説明するためのフローチャートである。

【図 1 1】

第 5 実施例が適用されるコンピュータシステムにおける CPU のノイズ対策決定処理を説明するためのフローチャートである。

【図 1 2】

着目ネットと隣接ネットの回路情報を説明する図である。

【図 1 3】

第 6 実施例が適用されるコンピュータシステムにおける CPU のノイズ対策決定処理を説明するためのフローチャートである。

【図 1 4】

着目ネットと隣接ネットの回路情報を説明する図である。

【図 1 5】

第 7 実施例が適用されるコンピュータシステムにおける CPU のノイズ対策決定処理を説明するためのフローチャートである。

【図 1 6】

入力回路情報を示す図である。

【図 1 7】

図 1 6 に示す入力回路情報に対する推奨回路情報を示す図である。

【図 1 8】

入力回路情報を示す図である。

【図 1 9】

図 1 8 に示す入力回路情報に対する推奨回路情報を示す図である。

【図 2 0】

入力回路情報を示す図である。

【図 2 1】

図 2 0 に示す入力回路情報に対する推奨回路情報を示す図である。

【図 2 2】

第 8 実施例における CPU のノイズ対策決定処理を説明するためのフローチャートである。

【図 2 3】

第 9 実施例における CPU のノイズ対策決定処理を説明するためのフローチャートである。

【図 2 4】

片方向伝送の場合の負荷集中型の配線トポロジを示す図である。

【図 2 5】

片方向伝送の場合のスター型の配線トポロジを示す図である。

【図 2 6】

片方向伝送の場合のいもづる型の配線トポロジを示す図である。

【図 2 7】

第 1 0 実施例における CPU のノイズ対策決定処理を説明するためのフローチャートである。

【図 2 8】

伝送回路トポロジがスター型の 1 : 2 型の解析回路を示す図である。

【図 2 9】

図 2 8 の解析回路の良否判定の結果改善された回路を示す図である。

【図 3 0】

図 2 9 の解析回路の伝送特性値の良否判定の結果改善された回路を示す図である。

【図 3 1】

図 3 0 の解析回路の伝送波形の良否判定の結果改善された回路を示す図である。

【図 3 2】

エラー要因を分析される解析回路を示す図である。

【図 3 3】

伝送回路トポロジが 1 : 1 型の場合のエラー要因の分析項目を示す図である。

【図 3 4】

図 3 2 及び図 3 3 の場合の改善案ファイルを説明する図である。

【図 3 5】

エラー要因を分析される解析回路を示す図である。

【図 3 6】

伝送回路トポロジがいもづる型の場合のエラー要因の分析項目を示す図である。

【図 3 7】

図 3 5 及び図 3 6 の場合の改善案ファイルを説明する図である。

【符号の説明】

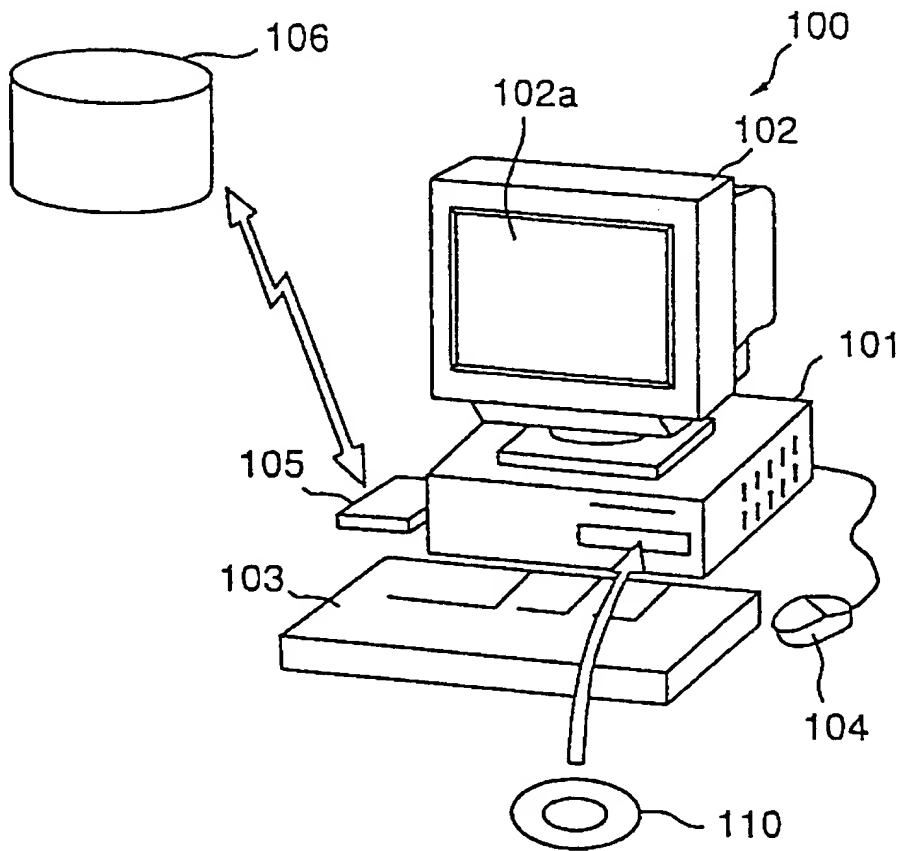
1 0 0	コンピュータシステム
1 0 1	本体部
1 0 2	ディスプレイ
1 0 3	キーボード
1 0 4	マウス
2 0 1	C P U
2 0 2	メモリ部

【書類名】

図面

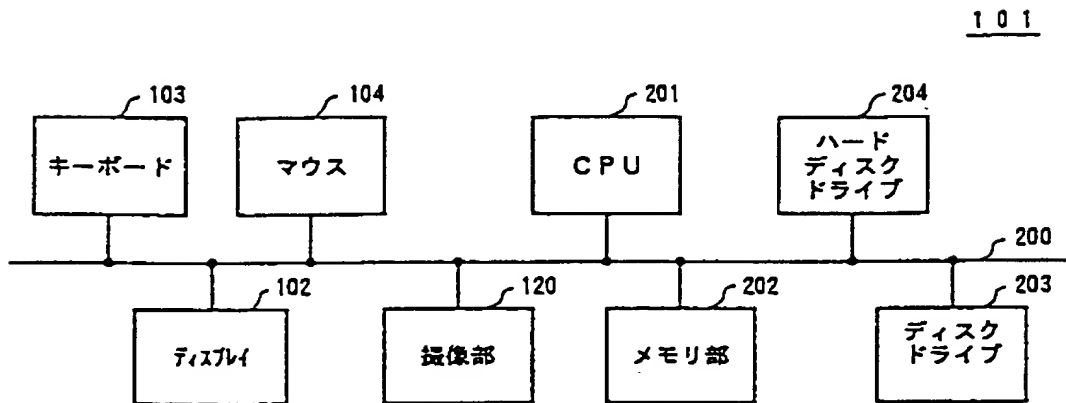
【図 1】

本発明の第 1 実施例において本発明が適用
されるコンピュータシステムを示す斜視図



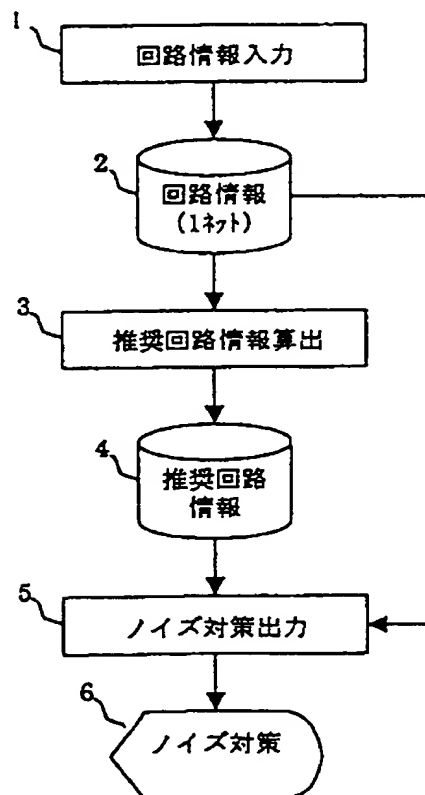
【図 2】

コンピュータシステムの本体部内の
要部の構成を説明するブロック図



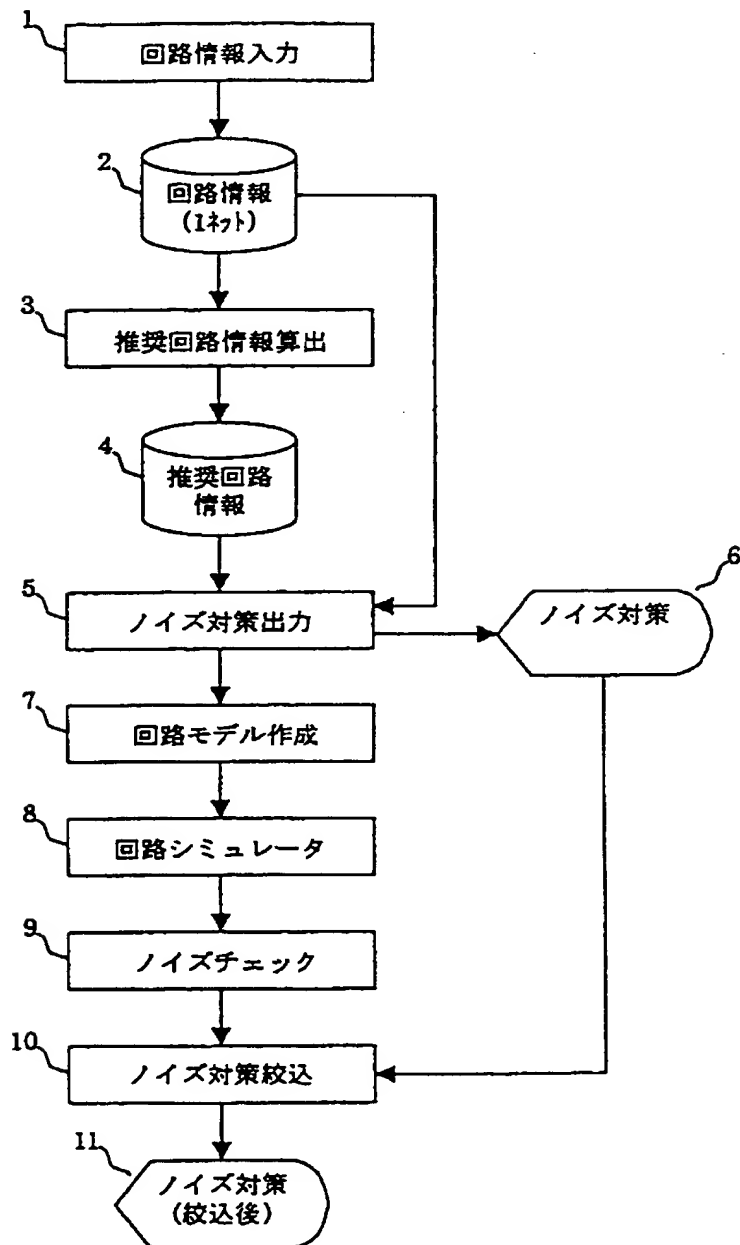
【図 3】

第 1 実施例における CPU のノイズ対策決定処理
を説明するためのフローチャート



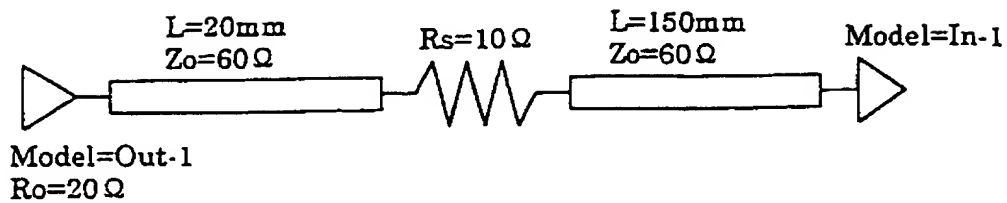
【図 4】

第 2 実施例における CPU のノイズ対策決定処理
を説明するためのフローチャート



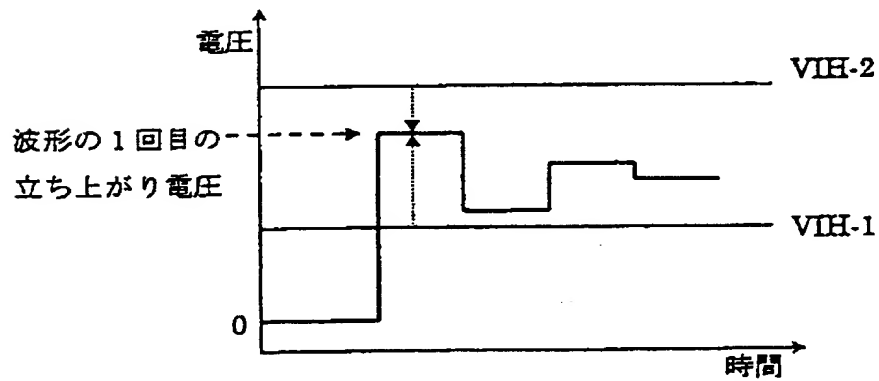
【図 5】

入力回路情報を説明する図



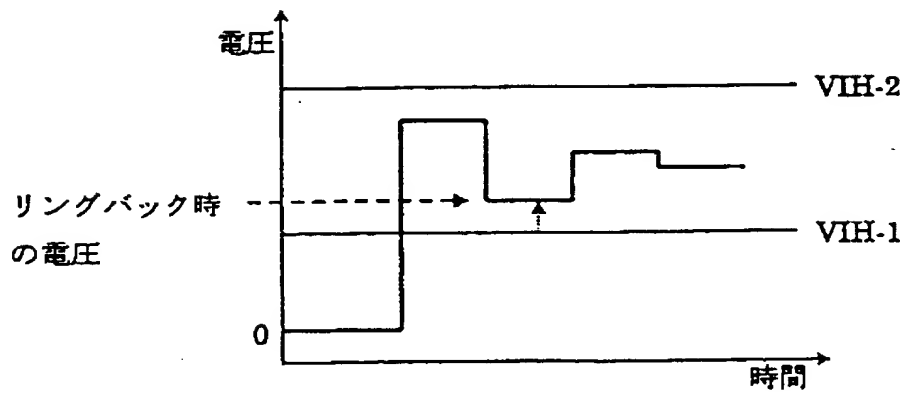
【図 6】

1 回目の立ち上がり電圧と、回路の最大電圧、
最小電圧との関係を示す図



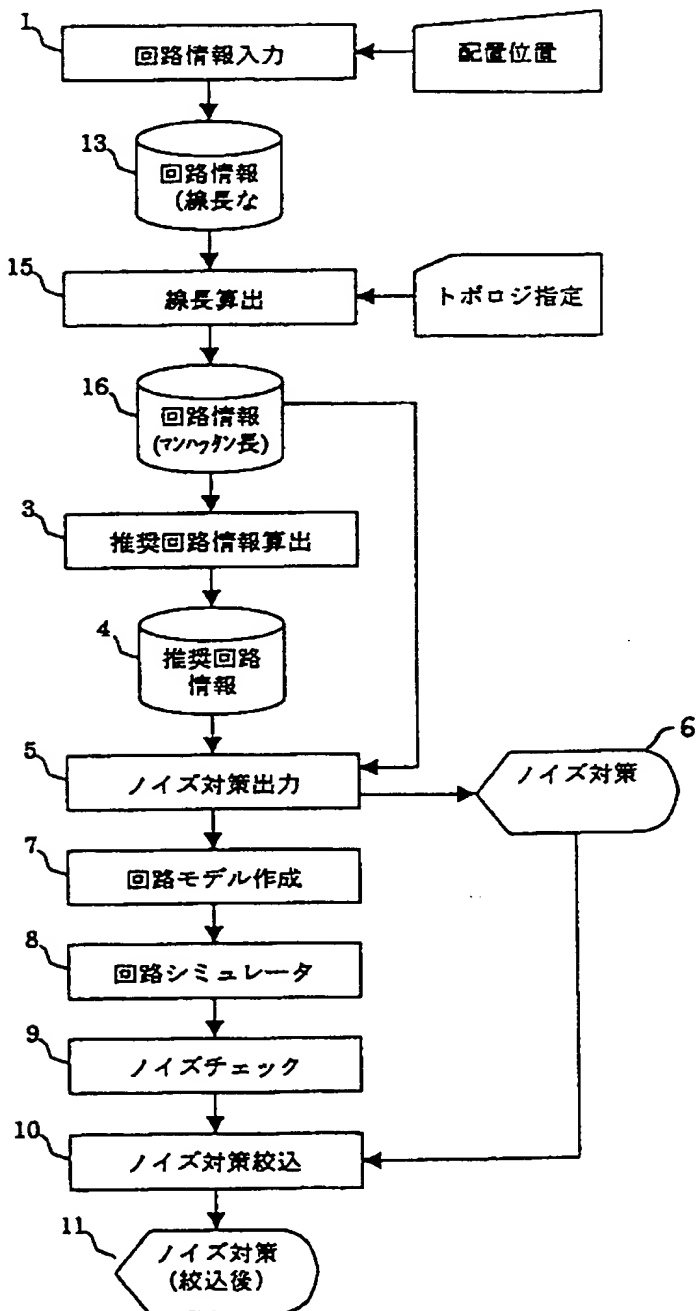
【図 7】

リングバック時の電圧と回路の最小電圧との関係を示す図



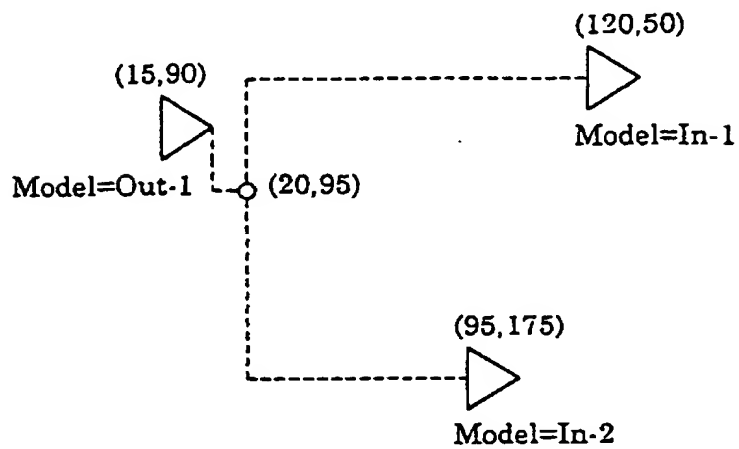
【図 8】

第3実施例におけるCPUのノイズ対策決定処理を説明するためのフローチャート



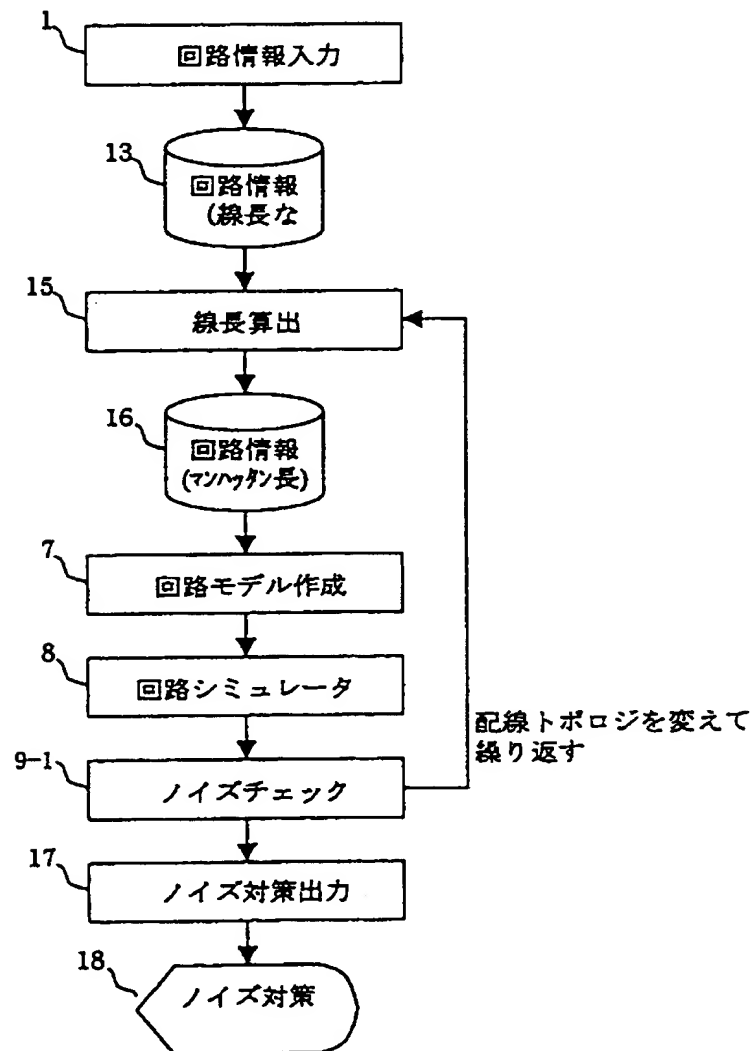
【図 9】

配線の引き回しを行わずに I/Oバッファ
の配置位置を入力する場合を示す図



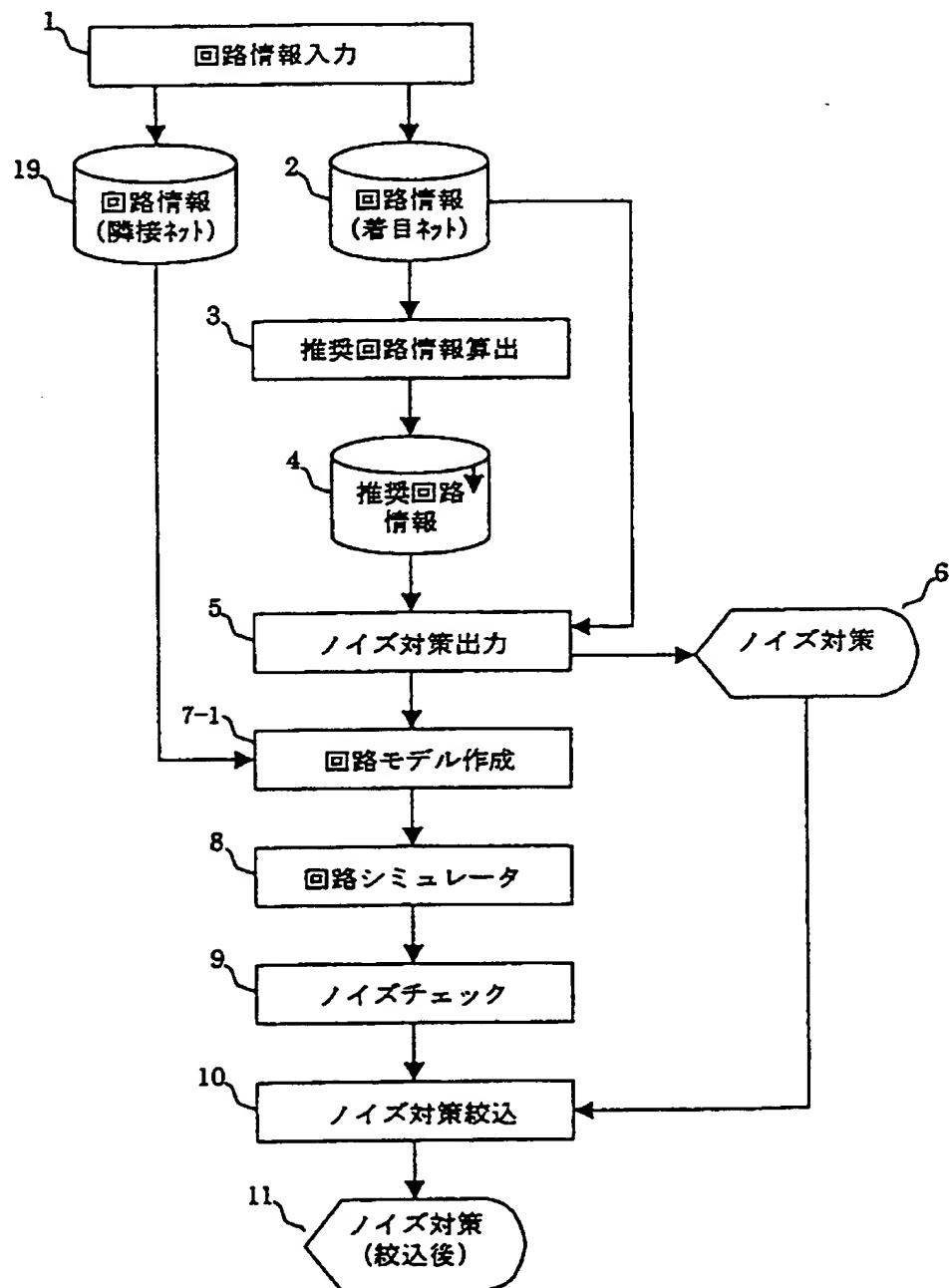
【図 1 0】

第 4 実施例が適用されるコンピュータシステムにおける CPU のノイズ対策決定処理を説明するためのフローチャート



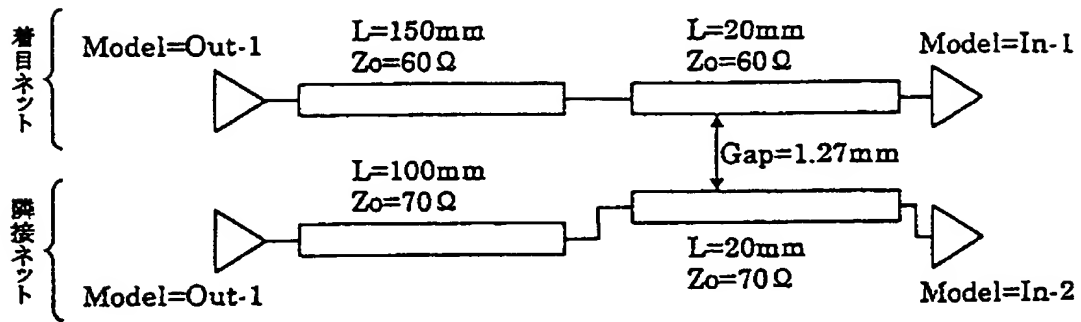
【図 1 1】

第 5 実施例が適用されるコンピュータシステムにおける CPU のノイズ対策決定処理を説明するためのフローチャート



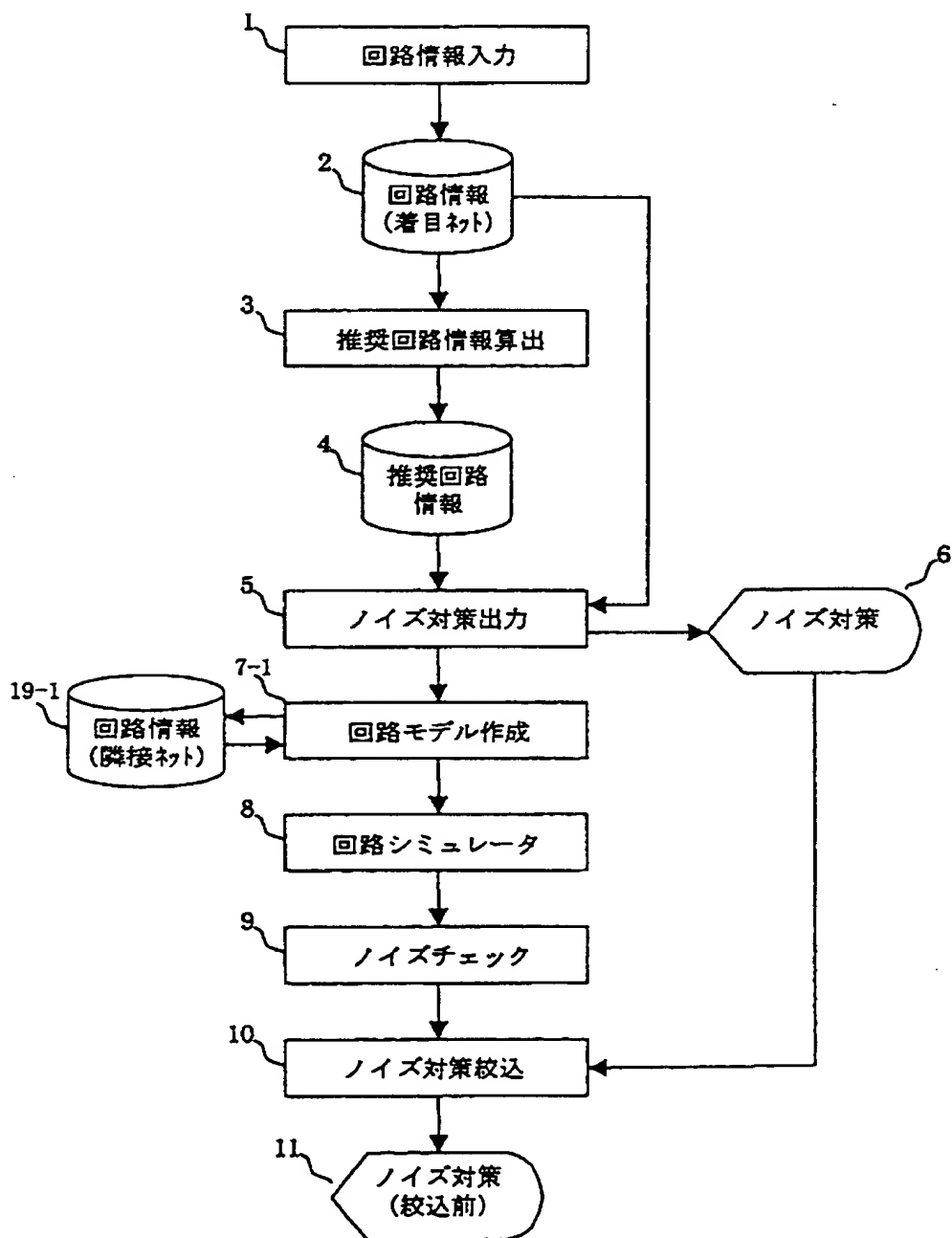
【図 1 2】

着目ネットと隣接ネットの回路情報を説明する図



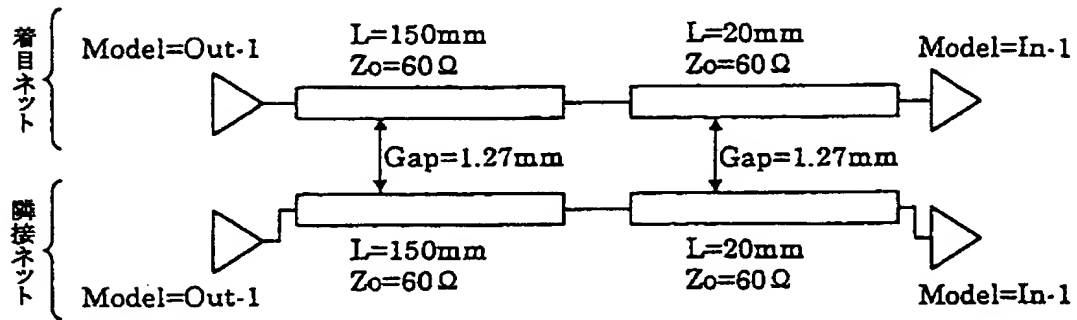
【図 1 3】

第 6 実施例が適用されるコンピュータシステムにおける CPU のノイズ対策決定処理を説明するためのフローチャート



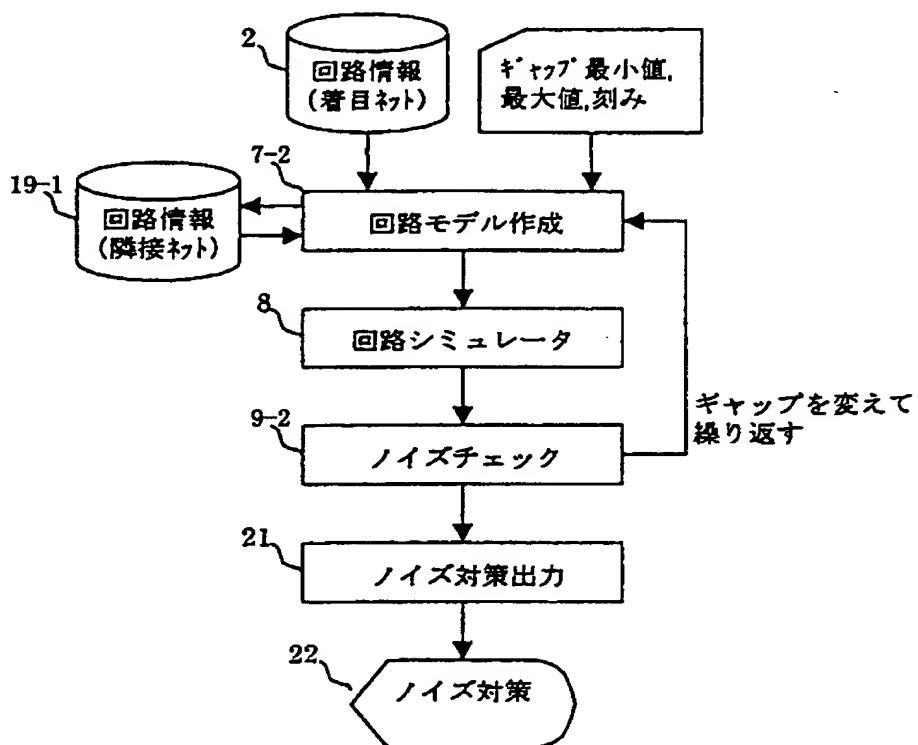
【図 1 4】

着目ネットと隣接ネットの回路情報を説明する図



【図 1 5】

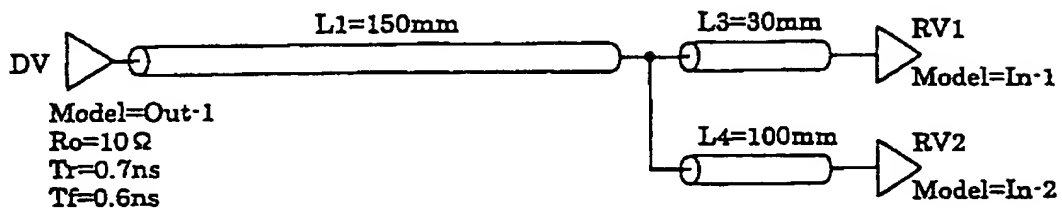
第 7 実施例が適用されるコンピュータシステムにおける CPU のノイズ対策決定処理を説明するためのフローチャート



【図 1 6】

入力回路情報を示す図

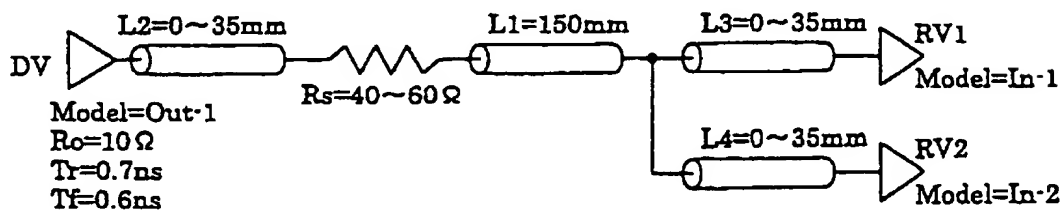
配線トポロジ : 負荷集中型
 配線パターンの特徴インピーダンス : $Z_0=60\Omega$
 配線パターンの伝送遅延時間 : $T_d=7.0\text{ns/m}$



【図 1 7】

図 1 6 に示す入力回路情報に対する推奨回路情報を示す図

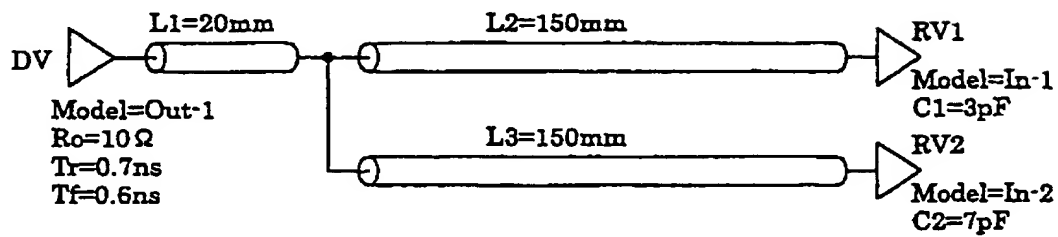
配線トポロジ : 負荷集中型
 配線パターンの特徴インピーダンス : $Z_0=60\Omega$
 配線パターンの伝送遅延時間 : $T_d=7.0\text{ns/m}$



【図 1 8】

入力回路情報を示す図

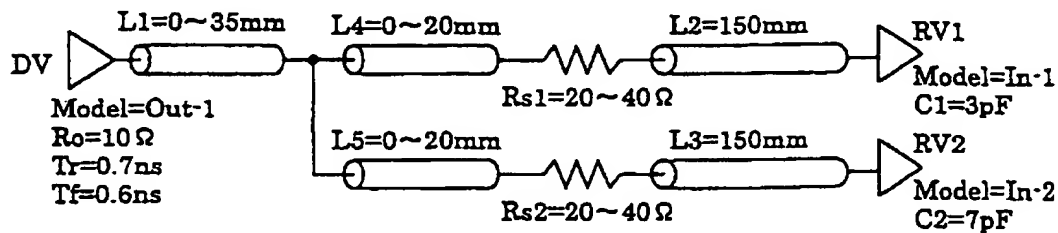
配線トポロジ : スター型
 配線パターン特性インピーダンス : $Z_0=60\Omega$
 配線パターンの伝送遅延時間 : $T_d=7.0\text{ns/m}$



【図 1 9】

図 1 8 に示す入力回路情報に対する推奨回路情報を示す図

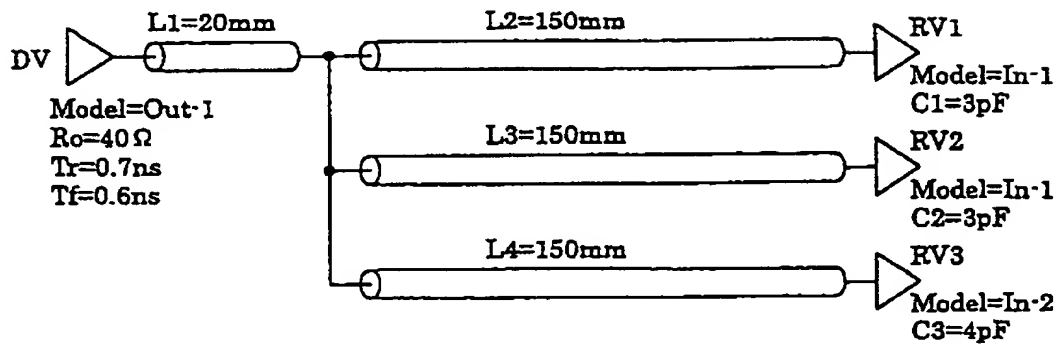
配線トポロジ : 負荷集中型
 配線パターン特性インピーダンス : $Z_0=60\Omega$
 配線パターンの伝送遅延時間 : $T_d=7.0\text{ns/m}$



【図 2 0】

入力回路情報を示す図

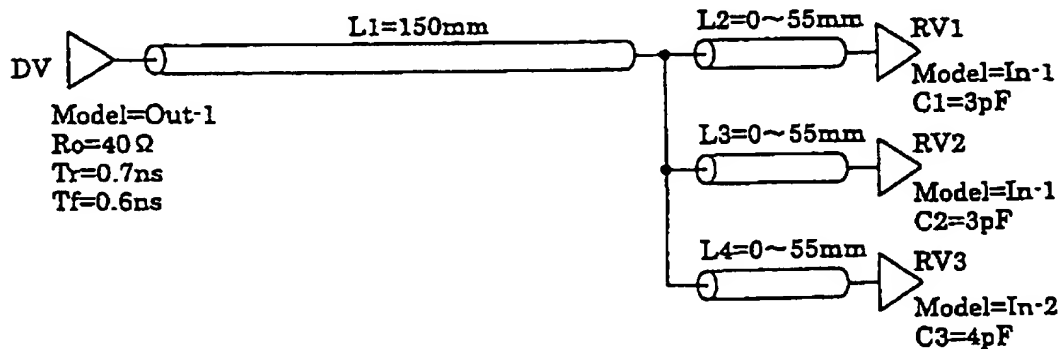
配線トポロジ : スター型
 配線パターンの特徴インピーダンス : $Z_0=60\Omega$
 配線パターンの伝送遅延時間 : $T_d=7.0\text{ns/m}$



【図 2 1】

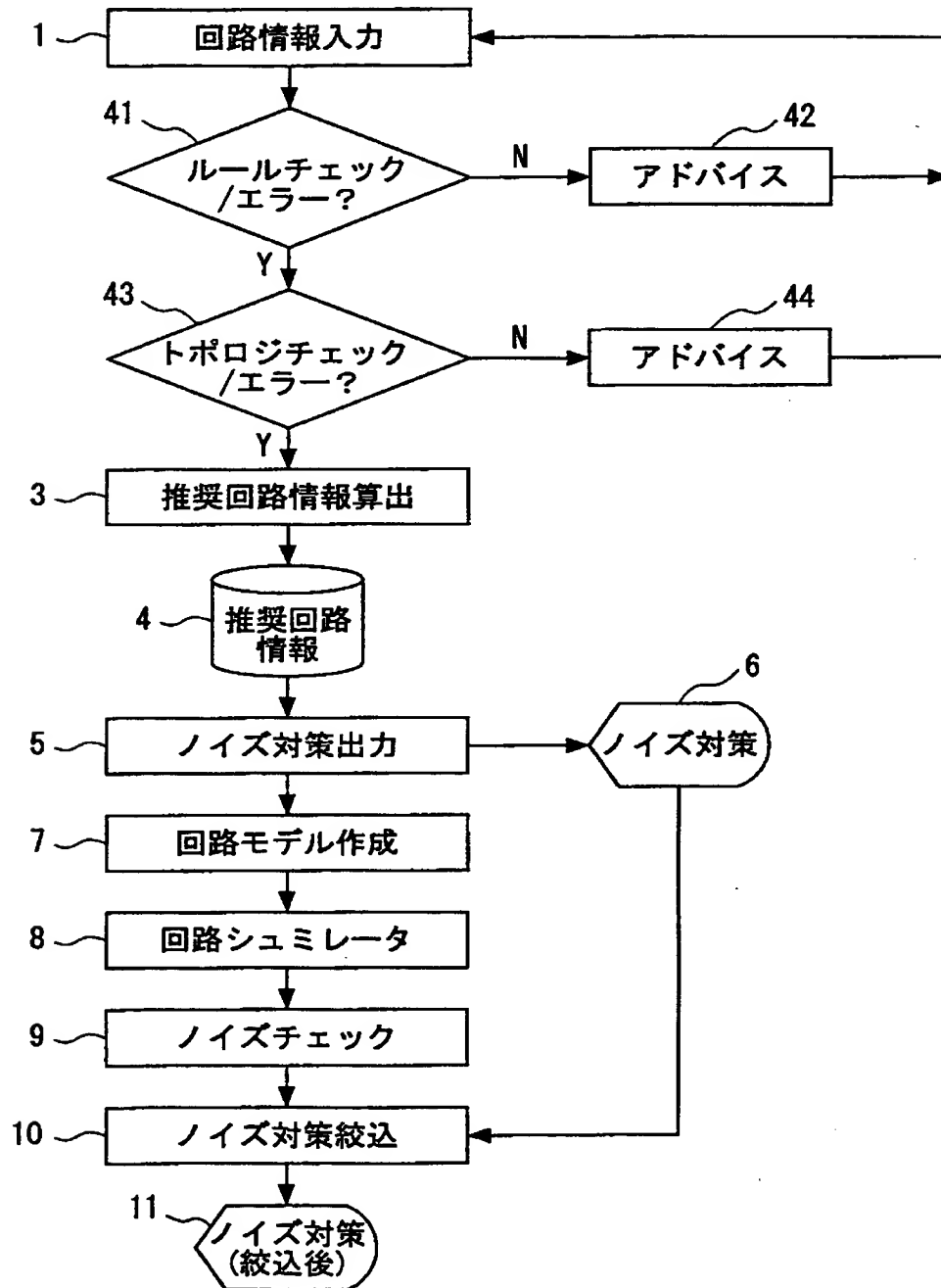
図 2 0 に示す入力回路情報に対する推奨回路情報を示す図

配線トポロジ : 負荷集中型
 配線パターンの特徴インピーダンス : $Z_0=60\Omega$
 配線パターンの伝送遅延時間 : $T_d=7.0\text{ns/m}$



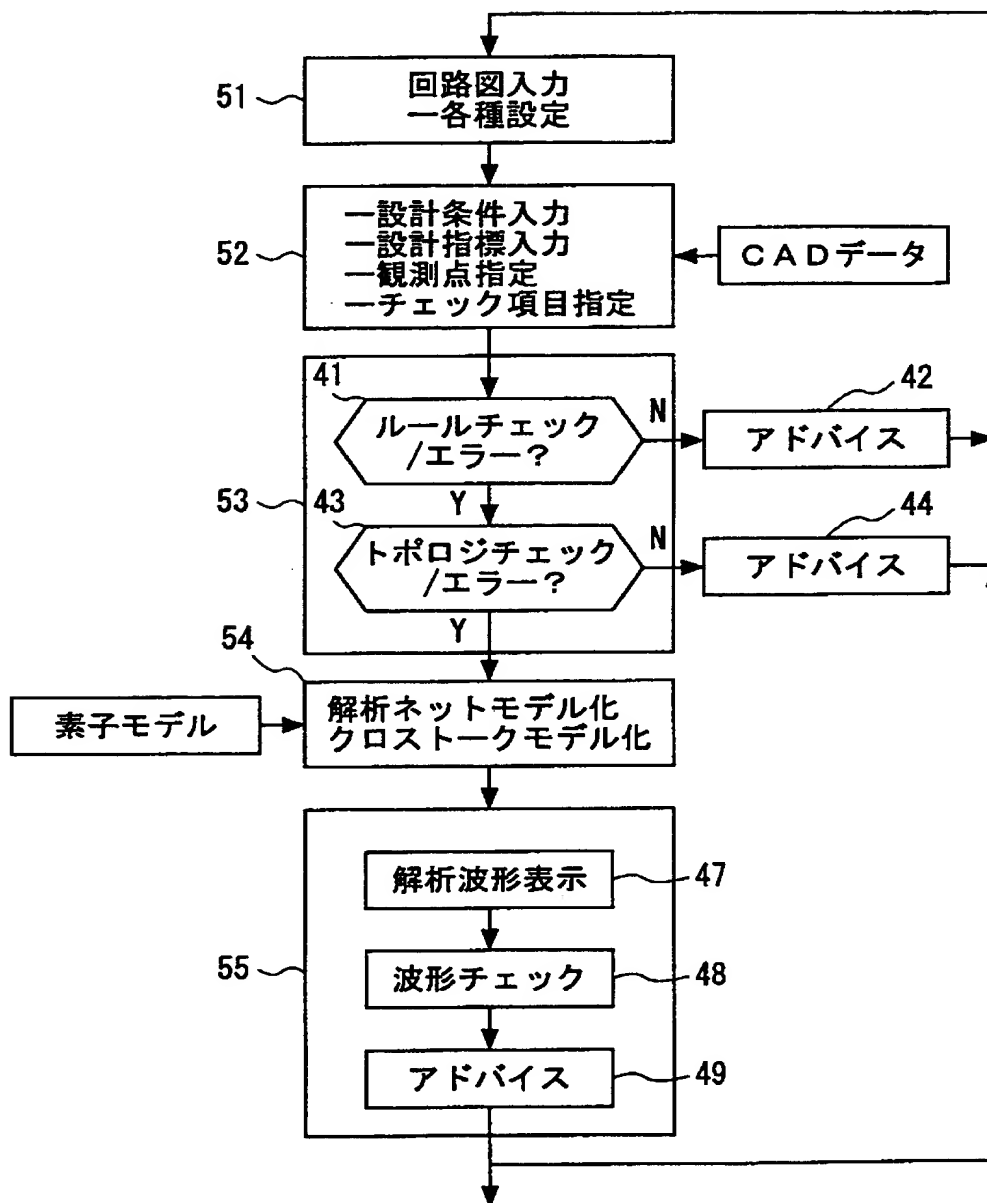
【図 2 2】

第 8 実施例における CPU のノイズ対策決定処理を説明するためのフローチャート



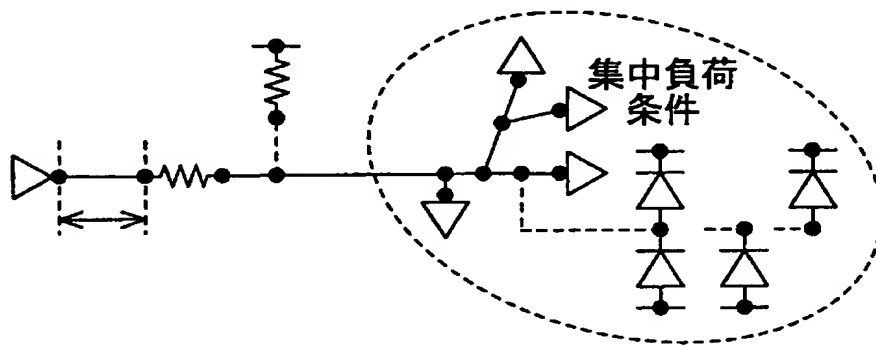
【図 2 3】

第 9 実施例における CPU のノイズ対策決定処理を説明するためのフローチャート



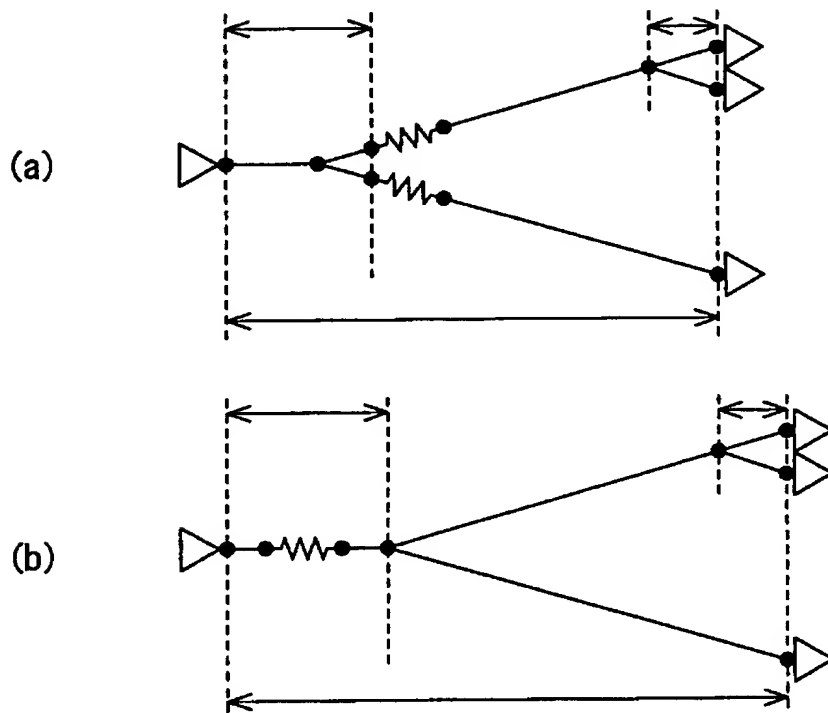
【図 2 4】

片方向伝送の場合の負荷集中型の配線トポロジを示す図



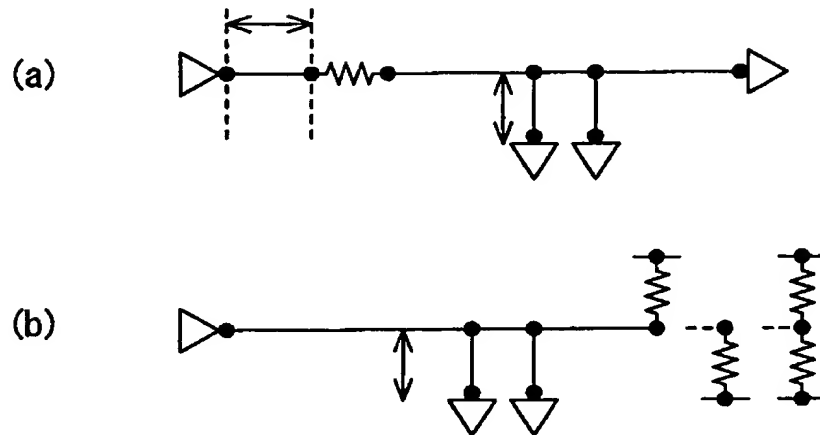
【図 2 5】

片方向伝送の場合のスター型の配線トポロジを示す図



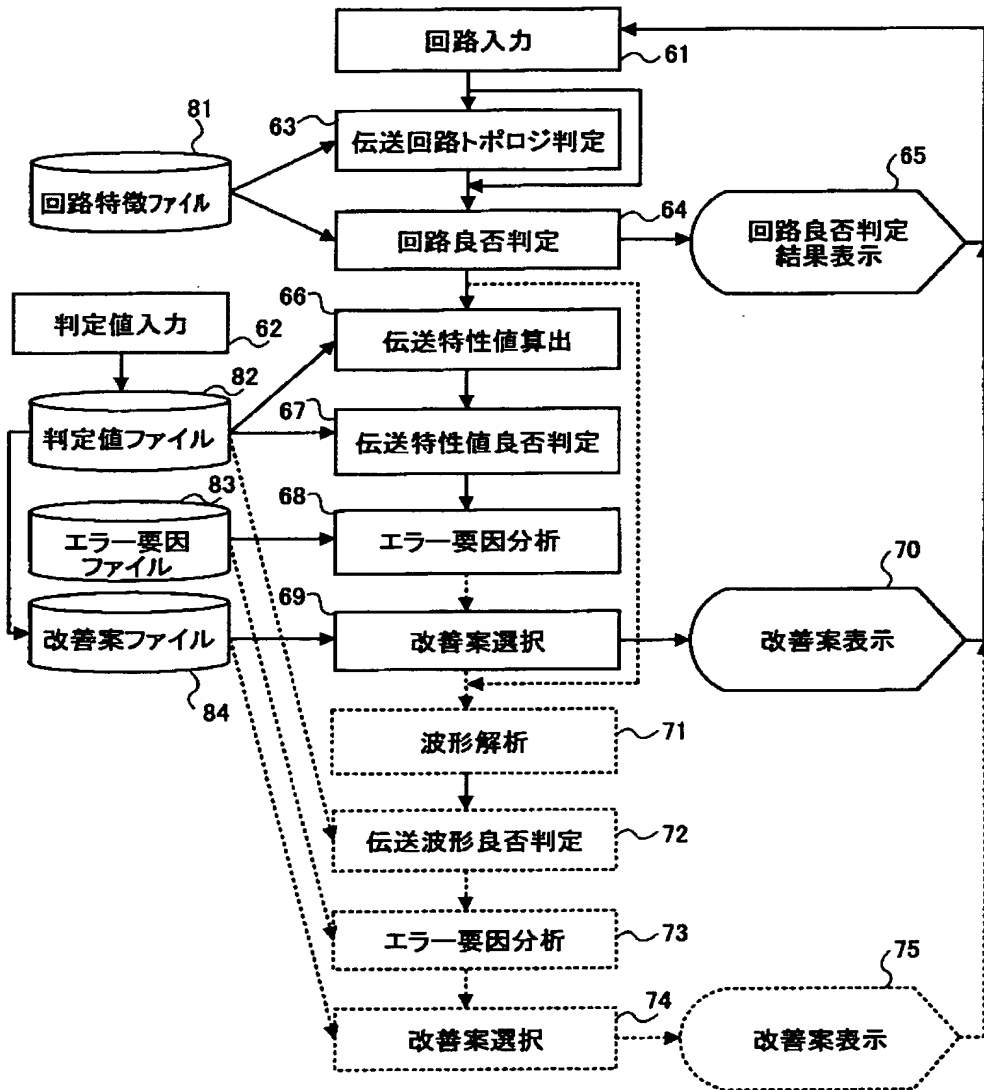
【図 2 6】

片方向伝送の場合のいもづる型の配線トポロジを示す図



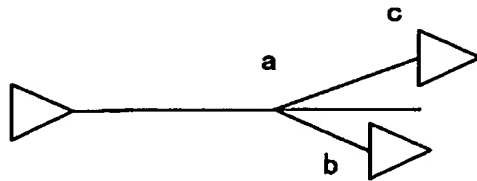
【図 2 7】

第10実施例におけるCPUのノイズ対策決定処理
を説明するためのフローチャート



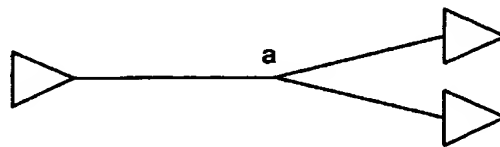
【図 2 8】

伝送回路トポロジがスター型の1:2型の解析回路を示す図



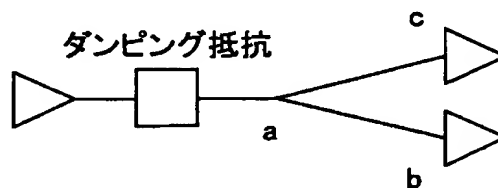
【図 2 9】

図28の解析回路の良否判定の結果改善された回路を示す図



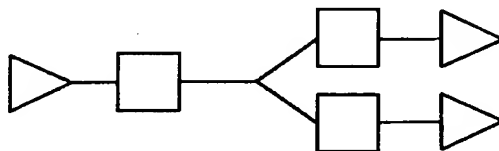
【図 3 0】

図29の解析回路の伝送特性値の良否判定の結果改善された回路を示す図



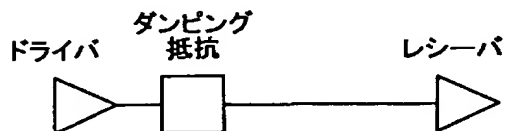
【図 3 1】

図30の解析回路の伝送波形の良否判定の結果改善された回路を示す図



【図 3 2】

エラー要因を分析される解析回路を示す図



【図 3 3】

伝送回路トポロジが1:1型の場合のエラー要因の分析項目を示す図

レシーバの電圧小	最大定格電圧越え	デレイオーバー	エラー要因
×			・ダンピング抵抗を含めドライバの駆動能力が小さい
	×		・ダンピング抵抗を含めドライバの駆動能力が大きい
		×	・配線が長い
×		×	・ダンピング抵抗を含めドライバの駆動能力が小さい

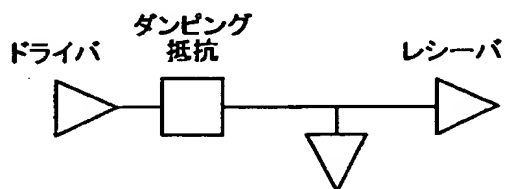
【図 3 4】

図32及び図33の場合の改善案ファイルを説明する図

エラー要因	対策案	ツリーの判定
ダンピング抵抗を含めドライバの駆動能力が小さい	・抵抗値の小さいダンピング抵抗に変更	抵抗値の解あり
	・駆動能力の大きいドライバに変更	抵抗値の解なし
ダンピング抵抗を含めドライバの駆動能力が大きい	・抵抗値の大きいダンピング抵抗に変更	
	・駆動能力の大きいドライバに変更	タンピング不可
配線が長い	・配線長を短くする	

【図 3 5】

エラー要因を分析される解析回路を示す図



【図 3 6】

伝送回路トポロジがいもづる型の場合のエラー要因の分析項目を示す図

段付き	波形割れ	デレイオーバー	エラー要因
×			・ダンピング抵抗を含めドライバの駆動能力が小さい
	×		・ダンピング抵抗を含めドライバの駆動能力が大きい
		×	・配線が長い
×		×	・段付きが発生している

【図 3 7】

図35及び図36の場合の改善案ファイルを説明する図

エラー要因	対策案	特殊条件
段付きが発生している	・レシーバの位置を最遠端側に移動	レシーバ位置変更可
	・最遠端のレシーバに終端抵抗をつける	位置変化不可
	・ダンピング抵抗値を小さくする	+終端抵抗不可
	・駆動能力の大きいドライバに変更	+抵抗値の解なし

【書類名】 要約書

【要約】

【課題】 本発明はノイズ対策決定方法及び装置並びに記憶媒体に関し、ノイズ対策を決定する際に回路シミュレータの実行を最小限に抑えることが可能とすると共に、設計工程に手作業で繰り返す後戻り処理が必要な部分を発生することなく高速にノイズ対策を決定することを可能とすることを目的とする。

【解決手段】 対象となる回路のうち、少なくとも1つのネット分の入力回路情報に基いて、計算式によりノイズが最小となると考えられる推奨回路情報を算出する推奨回路情報算出ステップと、入力回路情報と推奨回路情報との比較し、異なる部分の推奨回路情報をノイズ対策として決定するノイズ対策決定ステップとを含むように構成する。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名 富士通株式会社